



PATENT
Docket No.: 492322014200

CERTIFICATE OF HAND DELIVERY

I hereby certify that this correspondence is being hand filed with the United States Patent and Trademark Office in Washington, D.C. on February 23, 2004.

Jeffery McCuller

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In the application of:

Tetsuro ASANO et al.

Serial No.: 10/10/686,788

Filing Date: October 17, 2003

For: SWITCHING CIRCUIT DEVICE

Examiner: Not Yet Assigned

Group Art Unit: 2816

SUBMISSION OF CERTIFIED FOREIGN PRIORITY DOCUMENT

U.S. Patent and Trademark Office
2011 South Clark Place
Customer Window, Mail Stop Applications
Crystal Plaza Two, Lobby, Room 1B03
Arlington, VA 22202

Sir:

Under the provisions of 35 USC 119, Applicants hereby claim the benefit of the filing of Japanese patent application Nos. 2002-303484, filed October 17, 2002, and PCT/JP03/11419, filed September 8, 2003.


The certified priority documents are attached to perfect Applicant's claim for priority.

It is respectfully requested that the receipt of the certified copy attached hereto be acknowledged in this application.

In the event that the transmittal letter is separated from this document and the Patent and Trademark Office determines that an extension and/or other relief is required, applicants petition for any required relief including extensions of time and authorize the Commissioner to charge the cost of such petitions and/or other fees due in connection with the filing of this document to **Deposit Account No. 03-1952** referencing **492322014200**.

Dated: February 23, 2004

Respectfully submitted,

By: 
Barry E. Bretschneider
Registration No. 28,055

Morrison & Foerster LLP
1650 Tysons Boulevard, Suite 300
McLean, Virginia 22102
Telephone: (703) 760-7743
Facsimile: (703) 760-7777

MORRISON & FORSTER
49232 2014200
10/686,788
703-760-7700

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2 0 0 2 年 1 0 月 1 7 日

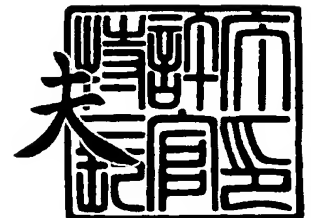
出 願 番 号
Application Number: 特 願 2 0 0 2 - 3 0 3 4 8 4
[ST. 10/C]: [J P 2 0 0 2 - 3 0 3 4 8 4]

出 願 人
Applicant(s): 三 洋 電 機 株 式 会 社

2 0 0 3 年 1 0 月 6 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 8 2 1 7 0

【書類名】 特許願

【整理番号】 KAA1020057

【提出日】 平成14年10月17日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/80

【発明者】

 【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社
社内

 【氏名】 浅野 哲郎

【発明者】

 【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社
社内

 【氏名】 榊原 幹人

【発明者】

 【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社
社内

 【氏名】 中島 好史

【発明者】

 【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社
社内

 【氏名】 石原 秀俊

【特許出願人】

 【識別番号】 000001889

 【氏名又は名称】 三洋電機株式会社

 【代表者】 桑野 幸徳

【代理人】**【識別番号】** 100111383**【弁理士】****【氏名又は名称】** 芝野 正雅**【連絡先】** 電話 0 3 - 3 8 3 7 - 7 7 5 1 知的財産センター 東京事務所**【手数料の表示】****【予納台帳番号】** 013033**【納付金額】** 21,000円**【提出物件の目録】****【物件名】** 明細書 1**【物件名】** 図面 1**【物件名】** 要約書 1**【包括委任状番号】** 9904451**【プルーフの要否】** 要

【書類名】 明細書

【発明の名称】 スイッチ回路装置

【特許請求の範囲】

【請求項 1】 基板上の絶縁領域と、前記基板に設けたチャネル領域表面に接続するソース電極、ゲート電極およびドレイン電極を設けた第 1 および第 2 の F E T と、前記第 1 および第 2 の F E T のソース電極あるいはドレイン電極に共通に接続する共通入力端子と、前記第 1 および第 2 の F E T のドレイン電極あるいはソース電極にそれぞれ接続する第 1 および第 2 の出力端子と、前記第 1 および第 2 の F E T のゲート電極のいずれかにそれぞれ接続する第 1 および第 2 の制御端子と、前記両制御端子と前記ゲート電極とを接続する接続手段と、前記第 1 および第 2 の出力端子とそれぞれソース電極またはドレイン電極を接続し、ドレイン電極またはソース電極を高周波 G N D 端子と接続し、ゲート電極をそれぞれ第 2 又は第 1 の制御端子と接続した第 3 および第 4 の F E T からなるスイッチ回路装置において、

前記第 3 および第 4 の F E T のうち少なくとも 1 つの F E T の前記ゲート電極およびソース電極間又は前記ゲート電極およびドレイン電極間に、第 1 の高濃度不純物領域と第 2 の高濃度不純物領域の間に前記絶縁領域を配置した保護素子を並列に接続し、前記ゲート電極とソース電極間又は前記ゲート電極とドレイン電極間に外部より印加される静電エネルギーを前記保護素子で放電させ、前記ゲート電極とソース電極間又は前記ゲート電極とドレイン電極間に到達する静電エネルギーを前記電極間の静電破壊電圧を超えない程度に減衰させることを特徴とするスイッチ回路装置。

【請求項 2】 前記少なくとも 1 つの F E T の前記ゲート電極およびソース電極間又は前記ゲート電極およびドレイン電極間の静電破壊電圧を前記保護素子の接続前と比較して 20 V 以上向上させることを特徴とする請求項 1 に記載のスイッチ回路装置。

【請求項 3】 前記スイッチ回路装置の静電破壊電圧を 200 V 以上にすることを特徴とする請求項 1 に記載のスイッチ回路装置。

【請求項 4】 前記保護素子は、前記少なくとも 1 つの出力端子が接続す

るボンディングパッドの少なくとも一辺に沿って配置されることを特徴とする請求項 1 に記載のスイッチ回路装置。

【請求項 5】 前記第 1 の高濃度不純物領域は、前記少なくとも 1 つの制御端子が接続するボンディングパッドまたはボンディングパッドに接続する配線と接続することを特徴とする請求項 1 に記載のスイッチ回路装置。

【請求項 6】 前記第 1 の高濃度不純物領域は、前記少なくとも 1 つの制御端子が接続するボンディングパッドと前記少なくとも 1 つの F E T の前記ゲート電極とを接続する抵抗の一部であることを特徴とする請求項 1 に記載のスイッチ回路装置。

【請求項 7】 前記第 2 の高濃度不純物領域は、前記少なくとも 1 つの出力端子が接続するボンディングパッド又はボンディングパッドに接続する配線と接続することを特徴とする請求項 1 に記載のスイッチ回路装置。

【請求項 8】 前記第 2 の高濃度不純物領域は、前記少なくとも 1 つの出力端子のボンディングパッド又はボンディングパッドに接続する配線の、周辺に設けられた第 3 の高濃度不純物領域の一部であることを特徴とする請求項 1 に記載のスイッチ回路装置。

【請求項 9】 前記絶縁領域は基板に設けられた不純物注入領域であることを特徴とする請求項 1 に記載のスイッチ回路装置。

【請求項 10】 前記絶縁領域は半絶縁基板の一部であることを特徴とする請求項 1 に記載のスイッチ回路装置。

【請求項 11】 前記絶縁領域の不純物濃度は $1 \times 10^{14} \text{ cm}^{-3}$ 以下であることを特徴とする請求項 9 に記載のスイッチ回路装置。

【請求項 12】 前記保護素子の第 1 および第 2 の高濃度不純物領域は静電エネルギーを通すことのできる距離で離間することを特徴とする請求項 1 に記載のスイッチ回路装置。

【請求項 13】 前記第 1 および第 2 の高濃度不純物領域の不純物濃度はともに $1 \times 10^{17} \text{ cm}^{-3}$ 以上であることを特徴とする請求項 1 に記載のスイッチ回路装置。

【請求項 14】 前記絶縁領域の抵抗率は $1 \times 10^3 \Omega \cdot \text{cm}$ 以上である

ことを特徴とする請求項 1 に記載のスイッチ回路装置。

【請求項 15】 前記第 1 および第 2 の高濃度不純物領域の少なくとも一方は金属電極と接続し、且つ前記金属電極は、前記各端子が接続するボンディングパッドまたは該ボンディングパッドに接続する配線の少なくとも 1 つと接続することをすることを特徴とする請求項 1 に記載のスイッチ回路装置。

【請求項 16】 前記金属電極は、前記第 1 および第 2 の高濃度不純物領域の少なくとも一方とショットキ接合を形成することを特徴とする請求項 15 に記載のスイッチ回路装置。

【請求項 17】 前記金属電極は第 1 および／または第 2 の高濃度不純物領域端部から $0\ \mu\text{m}$ から $5\ \mu\text{m}$ 外側で前記絶縁領域表面とショットキ接合を形成することを特徴とする請求項 15 に記載のスイッチ回路装置。

【請求項 18】 前記 FET は、MESFET、接合型 FET または HEMT であることを特徴とする請求項 1 に記載のスイッチ回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、スイッチ回路装置、特に静電破壊電圧を大幅に向上させたスイッチ回路装置に関する。

【0002】

【従来の技術】

携帯電話等の移動体用通信機器では、GHz 帯のマイクロ波を使用している場合が多く、アンテナの切換回路や送受信の切換回路などに、これらの高周波信号を切り替えるためのスイッチ素子が用いられることが多い。その素子としては、高周波を扱うことからガリウム・砒素 (GaAs) を用いた電界効果トランジスタ (以下 FET という) を使用する事が多く、これに伴って前記スイッチ回路自体を集積化したモノリシックマイクロ波集積回路 (MMIC) の開発が進められている。

【0003】

図 15 から図 18 に、従来の GaAs FET を用いたスイッチ回路装置の一例

を説明する（例えば、特許文献 1 参照。）。

【0 0 0 4】

図 1 5 (A) は、GaAs FET を用いた SPDT (Single Pole Double Throw) と呼ばれる化合物半導体装置の原理的な回路図の一例を示す。

【0 0 0 5】

第 1 と第 2 の FET 1、FET 2 のソース（又はドレイン）が共通入力端子 IN に接続され、各 FET 1、FET 2 のゲートが抵抗 R 1、R 2 を介して第 1 と第 2 の制御端子 Ct 1-1、Ct 1-2 に接続され、そして各 FET のドレイン（又はソース）が第 1 と第 2 の出力端子 OUT-1、OUT-2 に接続されたものである。第 1 と第 2 の制御端子 Ct 1-1、Ct 1-2 に印加される信号は相補信号であり、H レベルの信号が印加された FET が ON して、入力端子 IN に印加された信号をどちらか一方の出力端子に伝達するようになっている。抵抗 R 1、R 2 は、交流接地となる制御端子 Ct 1-1、Ct 1-2 の直流電位に対してゲート電極を介して高周波信号が漏出することを防止する目的で配置されている。

【0 0 0 6】

図 1 5 (B) は上記の化合物半導スイッチ回路装置を集積化した平面図である。

【0 0 0 7】

図に示す如く、GaAs 基板にスイッチを行う FET 1 および FET 2（いずれもゲート幅 $600\mu\text{m}$ ）を中央部に配置し、各 FET のゲート電極に抵抗 R 1、R 2 が接続されている。また共通入力端子 IN、出力端子 OUT-1、OUT-2、制御端子 Ct 1-1、Ct 1-2 に対応するパッド I、O 1、O 2、制御端子 C 1、C 2 が基板の周辺に設けられている。なお、点線で示した第 2 層目の配線は各 FET のゲート電極形成時に同時に形成されるゲート金属層 (Ti/Pt/Au) 168 であり、実線で示した第 3 層目の配線は各素子の接続およびパッドの形成を行うパッド金属層 (Ti/Pt/Au) 177 である。第 1 層目の基板にオーミックに接触するオーミック金属層 (AuGe/Ni/Au) は各 FET のソース電極、ドレイン電極および各抵抗両端の取り出し電極を形成するものであり、図 1 5 では、パッド金属層と重なるために図示されていない。

【0008】

各電極パッドおよび配線が隣接する部分では、電極パッド及び配線の下全面（または周辺部）に当接して不純物領域160、161が設けられる。不純物領域160、161は、電極パッドまたは配線の基板当接部よりはみ出して設けられ、所定のアイソレーションを確保している。

【0009】

図16には、図15のスイッチ回路装置のFETの一部の断面図を示す。尚、スイッチ動作を行うFET1、FET2およびシャントFETであるFET3、FET4は全て同様の構成であり、各FETはソース電極175（165）、ドレイン電極176（166）、ゲート電極169が櫛歯状に配置されるが、図に示すものはそのうちの1組である。

【0010】

図16（A）の如く、基板151にはn型イオン注入層による動作層152とその両側にソース領域156およびドレイン領域157を形成するn+型の不純物領域が設けられ、動作層152にはゲート電極169が設けられ、不純物領域には第1層目のオーミック金属層で形成されるドレイン電極166およびソース電極165が設けられる。更にこの上に前述したように3層目のパッド金属層177で形成されるドレイン電極176およびソース電極175が設けられ、各素子の配線等を行っている。

【0011】

図16（B）の如く、上記に代表されるMESFETにおいては、ゲートショットキ接合の容量が小さく、ゲート端子Gーソース端子S間またはゲート端子Gードレイン端子D間に、ゲート端子G側をマイナスにしてサージ電圧を印加する場合は最も静電破壊に弱い。この場合、チャネル領域144とチャネル領域144表面に設けられたゲート電極169との界面に形成されるショットキバリアダイオード115に対して逆バイアスに静電気が印加される状態となる。つまり、そのときの等価回路はゲート端子Gーソース端子S間およびゲート端子Gードレイン端子D間に、ショットキバリアダイオード115が接続された回路となる。

【0012】

また図17から図18に、図15に示すスイッチ回路装置のFET、各端子となるパッドおよび配線の製造方法の一例を示す。尚、ここでは1つの電極パッドについて説明するが、上記の共通入力端子、第1および第2制御端子、第1および第2出力端子に接続する電極パッドはすべて同様の構造である。

【0013】

GaAs等で形成される化合物半導体基板51全面を約100Åから200Åの厚みのスルーイオン注入用シリコン窒化膜153で被覆する。次に、チップの最外周又は、マスクの所定の領域のGaAsをエッチングして合わせマーク（不図示）を形成し、レジスト層を選択的に窓開けするフォトリソグラフィプロセスを行い、p-型を与える不純物（ 24Mg^+ ）のイオン注入およびn型を与える不純物（ 29Si^+ ）のイオン注入を行う。この結果、ノンドープの基板151にはp-型領域155と、その上にn型動作層152が形成される。

【0014】

次に、前工程で用いたレジスト層154を除去し、新たにレジスト層158を設けて、選択的に窓開けするフォトリソグラフィプロセスを行い、n型を与える不純物（ 29Si^+ ）のイオン注入を行う。これにより、n+型のソース領域156およびドレイン領域157を形成し、同時に予定の電極パッド170および配線162の下基板表面に周辺n+型領域160、161を形成する。また所望のパターンの抵抗R1およびR2も同時に形成される（図17（A））。

【0015】

これにより配線162および電極パッド170と基板151は分離され、電極パッド170、配線162への空乏層が伸びないので、隣接する電極パッド170、配線162はお互いの離間距離を大幅に近接して設けることが可能となる。次にアニール用のシリコン窒化膜153を約500Åデポし、イオン注入されたp-型領域、n型動作層およびn+型領域の活性化アニールを行う。

【0016】

その後、新たなレジスト層163を選択的に窓開けするフォトリソグラフィプロセスを行い、ソース領域156およびドレイン領域157表面を露出し、オーミック金属層164となるAnGe/Ni/Auの3層を順次真空蒸着して積層

する。その後、レジスト層 163 を除去して、リフトオフによりソース領域 156 およびドレイン領域 157 上にコンタクトした第 1 ソース電極 165 および第 1 ドレイン電極 166 を残す。引き続いて合金化熱処理により第 1 ソース電極 165 とソース領域 156、および第 1 ドレイン電極 166 とドレイン領域 157 のオーミック接合を形成する（図 17（B））。

【0017】

次に、新たなレジスト層 167 を選択的に窓開けするフォトリソグラフィプロセスを行い、予定のゲート電極 169 部分の動作層 152 を露出し、予定の配線 162 および予定の電極パッド 170 部分の基板 151 を露出し、ゲート金属層 168 として Ti/Pt/Au の 3 層を順次真空蒸着して積層し（図 17（C））、その後リフトオフにより、ゲート電極 169、第 1 電極パッド 170 および配線 162 を形成する（図 17（D））。

【0018】

更に、基板 151 表面はシリコン窒化膜よりなるパッシベーション膜で被覆し、パッシベーション膜上にフォトリソグラフィプロセスを行い、第 1 ソース電極 165、第 1 ドレイン電極 166、ゲート電極 169 および第 1 電極パッド 170 とのコンタクト部に対して選択的にレジストの窓開けを行い、その部分のパッシベーション膜をドライエッチングし、レジスト層 171 を除去する（図 18（A））。

【0019】

次に、基板 151 全面に新たなレジスト層 173 を塗布してフォトリソグラフィプロセスを行い、予定の第 2 ソース電極 175 および第 2 ドレイン電極 176 と第 2 電極パッド 177 上のレジストを選択的に窓開けするフォトリソグラフィプロセスを行う。続いて、第 3 層目の電極としてのパッド金属層 174 となる Ti/Pt/Au の 3 層を順次真空蒸着して積層し、第 1 ソース電極 165、第 1 ドレイン電極 166 および第 1 電極パッド 170 にコンタクトする第 2 ソース電極 175 および第 2 ドレイン電極 176 と第 2 電極パッド 177 が形成される（図 18（B））。

【0020】

パッド金属層 174 の他の部分はレジスト層 173 上に付着されるので、レジスト層 173 を除去してリフトオフにより第 2 ソース電極 175 および第 2 ドレイン電極 176 と第 2 電極パッド 177 のみを残し、他は除去される。なお、一部の配線部分はこのパッド金属層 174 を用いて形成されるので、当然その配線部分のパッド金属層 174 は残される（図 18 (C)）。

【0021】

【特許文献 1】

特開平 2002-231898 号公報 （第 4 頁、第 2 図）

【0022】

【発明が解決しようとする課題】

近年ホットスポットの急増に象徴されるように、2.4GHz 帯による無線ブロードバンドが大きな広がりを見せてきている。その伝送レートは 11Mbps と携帯電話の伝送レートよりはるかに大きく、電話線による ADSL を家庭内で無線化して各部屋での使用する、コードレス液晶テレビへ信号を無線で配信する、など一般家庭にも浸透し始めてきている。最近、次世代無線ブロードバンドとして、市場が立ちあがろうとしている 5GHz 帯が脚光を浴びており、さらに法改正により戸外でもまもなく使用が認められ使用範囲が大きく広がると予想されている。2.4GHz 帯に比べ伝送レート 54Mbps とさらに大量の情報をやりとりできるため、高精細な動画を無圧縮で送れるなどの期待が大きく、そのための機器の開発、ネットワークの構築が急がれている。

【0023】

5GHz 帯ブロードバンド用機器には、2.4GHz 帯同様、入出力切り替えや、アンテナ切り替えに GaAs スイッチ IC が使用される。2.4GHz に比べ 2 倍の周波数となるため、寄生容量がアイソレーションの悪化に大きく影響してくる。その対策として、2.4GHz 帯スイッチ IC では使用しなかったシャント FET を用いた回路で、OFF 側 FET に漏れた信号を高周波 GND に逃がすという、アイソレーションを向上するための手段が必要不可欠となった。

【0024】

しかしこのシャント FET はゲート幅が小さいため、寄生容量が小さく、静電

破壊電圧が低いという問題があった。

【0 0 2 5】

【課題を解決するための手段】

本発明は上述した諸々の事情に鑑み成されたものであり、第 1 に、基板上の絶縁領域と、前記基板に設けたチャンネル領域表面に接続するソース電極、ゲート電極およびドレイン電極を設けた第 1 および第 2 の F E T と、前記第 1 および第 2 の F E T のソース電極あるいはドレイン電極に共通に接続する共通入力端子と、前記第 1 および第 2 の F E T のドレイン電極あるいはソース電極にそれぞれ接続する第 1 および第 2 の出力端子と、前記第 1 および第 2 の F E T のゲート電極のいずれかにそれぞれ接続する第 1 および第 2 の制御端子と、前記両制御端子と前記ゲート電極とを接続する接続手段と、前記第 1 および第 2 の出力端子とそれぞれソース電極またはドレイン電極を接続し、ドレイン電極またはソース電極を高周波 G N D 端子と接続し、ゲート電極をそれぞれ第 2 又は第 1 の制御端子と接続した第 3 および第 4 の F E T からなるスイッチ回路装置において、前記第 3 および第 4 の F E T のうち少なくとも 1 つの F E T の前記ゲート電極およびソース電極間又は前記ゲート電極およびドレイン電極間に、第 1 の高濃度不純物領域と第 2 の高濃度不純物領域の間に前記絶縁領域を配置した保護素子を並列に接続し、前記ゲート電極とソース電極間又は前記ゲート電極とドレイン電極間に外部より印加される静電エネルギーを前記保護素子で放電させ、前記ゲート電極とソース電極間又は前記ゲート電極とドレイン電極間に到達する静電エネルギーを前記電極間の静電破壊電圧を超えない程度に減衰させることにより解決するものである。

【0 0 2 6】

また、前記少なくとも 1 つの F E T の前記ゲート電極およびソース電極間又は前記ゲート電極およびドレイン電極間の静電破壊電圧を前記保護素子の接続前と比較して 2 0 V 以上向上させることを特徴とするものである。

【0 0 2 7】

また、前記スイッチ回路装置の静電破壊電圧を 2 0 0 V 以上にすることを特徴とするものである。

【0028】

また、前記保護素子は、前記少なくとも1つの出力端子が接続するボンディングパッドの少なくとも一辺に沿って配置されることを特徴とするものである。

【0029】

また、前記第1の高濃度不純物領域は、前記少なくとも1つの制御端子が接続するボンディングパッドまたはボンディングパッドに接続する配線と接続することを特徴とするものである。

【0030】

また、前記第1の高濃度不純物領域は、前記少なくとも1つの制御端子が接続するボンディングパッドと前記少なくとも1つのFETの前記ゲート電極とを接続する抵抗の一部であることを特徴とするものである。

【0031】

また、前記第2の高濃度不純物領域は、前記少なくとも1つの出力端子が接続するボンディングパッド又はボンディングパッドに接続する配線と接続することを特徴とするものである。

【0032】

また、第2の高濃度不純物領域は、前記少なくとも1つの出力端子のボンディングパッド又はボンディングパッドに接続する配線の、周辺に設けられた第3の高濃度不純物領域の一部であることを特徴とするものである。

【0033】

また、前記絶縁領域は基板に設けられた不純物注入領域であることを特徴とするものである。

【0034】

また、前記絶縁領域は半絶縁基板の一部であることを特徴とするものである。

【0035】

また、前記絶縁領域の不純物濃度は $1 \times 10^{14} \text{ cm}^{-3}$ 以下であることを特徴とするものである。

【0036】

また、前記保護素子の第1および第2の高濃度不純物領域は静電エネルギーを

通すことのできる距離で離間することを特徴とするものである。

【0037】

また、前記第1および第2の高濃度不純物領域の不純物濃度はともに $1 \times 10^{17} \text{ cm}^{-3}$ 以上であることを特徴とするものである。

【0038】

また、前記絶縁領域の抵抗率は $1 \times 10^3 \Omega \cdot \text{cm}$ 以上であることを特徴とするものである。

【0039】

また、前記第1および第2の高濃度不純物領域の少なくとも一方は金属電極と接続し、且つ前記金属電極は、前記各端子が接続するボンディングパッドまたは該ボンディングパッドに接続する配線の少なくとも1つと接続することをすることを特徴とするものである。

【0040】

また、前記金属電極は、前記第1および第2の高濃度不純物領域の少なくとも一方とショットキ接合を形成することを特徴とするものである。

【0041】

また、前記金属電極は第1および/または第2の高濃度不純物領域端部から $0 \mu\text{m}$ から $5 \mu\text{m}$ 外側で前記絶縁領域表面とショットキ接合を形成することを特徴とするものである。

【0042】

また、前記FETは、MESFET、接合型FETまたはHEMTであることを特徴とするものである。

【0043】

【発明の実施の形態】

以下に本発明の実施の形態について図1から図14を参照して説明する。

【0044】

図1は、本実施形態のスイッチ回路装置を説明する回路図であり、図1(A)は等価回路図、図1(B)はチップパターンに沿った回路概要図である。

【0045】

5GHz帯ブロードバンド用機器には、2.4GHz帯同様、入出力切り替えや、アンテナ切り替えにGaAsスイッチICが使用される。2.4GHzに比べ2倍の周波数となるため、寄生容量がアイソレーションの悪化に大きく影響してくる。その対策として、2.4GHz帯スイッチICでは使用しなかったシャントFETを用いた回路で、OFF側FETに漏れた信号をGNDに逃がすという、アイソレーションを向上するための手段を設けるものである。

【0046】

この回路では、スイッチを行うFET1とFET2の出力端子OUT-1とOUT-2と接地間にシャントFET3、FET4を接続し、このシャントFET3、FET4のゲートにはFET2とFET1への制御端子Ctl-2、Ctl-1の相補信号を印可している。この結果、FET1がONのときはシャントFET4がONし、FET2およびシャントFET3がOFFしている。

【0047】

この回路で、共通入力端子IN-出力端子OUT-1の信号経路がオンし、共通入力端子IN-出力端子OUT-2の信号経路がオフした場合は、シャントFET4がオンしているので出力端子OUT-2への入力信号の漏れは接地された外付けのコンデンサCを介して接地に逃げ、シャントFETが無かった従来例に比べアイソレーションが向上できる。

【0048】

この回路で、制御端子Ctl-1は抵抗R1を介してFET1のゲート電極に接続し、抵抗R4を介してFET4のゲート電極に接続している。また、制御端子Ctl-2は抵抗R2を介してFET2のゲート電極に接続し、抵抗R3を介してFET3のゲート電極に接続している。シャントFET3のソース電極（またはドレイン電極）は出力端子OUT-1に接続し、シャントFET4のソース電極（またはドレイン電極）は出力端子OUT-2に接続する。

【0049】

本発明の実施形態では、シャントFETのゲート-ソース端子（またはドレイン端子間）との間に、並列に保護素子200を接続するものである。すなわち、FET3に接続する出力端子OUT-1-制御端子Ctl-2間およびFET4

に接続する出力端子OUT-2-制御端子Ctl-1間である。

【0050】

静電破壊からの保護は、弱い接合であるゲート電極のショットキ接合にかかる静電エネルギーを軽減すれば良い。本実施形態は、シャントFET3およびFET4の、ソース（またはドレイン）-ゲート端子間に並列に保護素子200を接続し、対応する2端子間から印加される静電エネルギーに対し、それを一部放電するためのバイパスとなる経路を設けることにより、静電破壊から弱い接合を保護するものである。

【0051】

すなわち、静電破壊強度が最も弱いFETチャネル領域44上の、ゲートショットキ接合に至る静電エネルギーを減少させ、FET3、FET4を静電破壊から保護することができる。

【0052】

ここで保護素子200について図2を用いて説明する。

【0053】

本明細書における保護素子200とは、図の如く、近接する第1の高濃度不純物領域201と第2の高濃度不純物領域202の2端子間に絶縁領域203を配置した素子である。第1および第2の高濃度不純物領域201、202は、基板201にイオン注入及び拡散により設けられる。本明細書においては、以降これら高濃度不純物領域を、第1n+型領域201、第2n+型領域202として説明するが、これらは同じ導電型の不純物に限らず、異なる導電型の不純物でも良い。第1および第2n+型領域201、202は、静電エネルギーを通せる距離、例えば4 μ m程度離間して設けられ、その不純物濃度は、共に $1 \times 10^{17} \text{ cm}^{-3}$ 以上である。また、第1および第2n+型領域201、202の間には絶縁領域203が当接して配置される。ここで、絶縁領域203とは、電氣的に完全な絶縁ではなく、半絶縁性基板の一部、または基板201に不純物をイオン注入して絶縁化した絶縁化領域である。また、絶縁領域203の不純物濃度は、 $1 \times 10^{14} \text{ cm}^{-3}$ 以下程度、抵抗率は $1 \times 10^3 \Omega \cdot \text{cm}$ 以上が望ましい。

【0054】

絶縁領域 203 の両端に当接して高濃度不純物領域 201、202 を配置し、2 つの高濃度不純物領域 201、202 の離間距離を $4\ \mu\text{m}$ 程度にすると、2 つの高濃度不純物領域 201、202 がそれぞれ接続する FET の 2 端子間に向かって外部より印加される静電エネルギーを、絶縁領域 203 を介して放電することができる。

【0055】

この 2 つの $n+$ 型領域の離間距離 $4\ \mu\text{m}$ は、静電エネルギーを通すのに適当な距離であり、 $10\ \mu\text{m}$ 以上離間すると保護素子間での放電が確実でない。 $n+$ 型領域の不純物濃度および絶縁領域の抵抗値も、同様である。

【0056】

通常の FET 動作では静電気のように高い電圧が印加されることがないため、 $4\ \mu\text{m}$ の絶縁領域を信号が通ることは無い。またマイクロ波のような高周波でも同様に $4\ \mu\text{m}$ の絶縁領域を信号が通ることは無い。従って通常の動作では、保護素子は特性に何ら影響を及ぼさないため、存在しないのと同じである。しかし静電気は瞬間的に高い電圧が印加される現象であり、そのときは $4\ \mu\text{m}$ の絶縁領域を静電エネルギーが通り、高濃度不純物領域間で放電する。また絶縁領域の厚みが $10\ \mu\text{m}$ 以上になると、静電気にとっても抵抗が大きく放電しにくくなる。

【0057】

これら、第 1 $n+$ 型領域 201 および第 2 $n+$ 型領域 202 を、被保護素子となるスイッチ回路装置を構成する FET の 2 つの端子間に並列に接続する。第 1 および第 2 $n+$ 型領域 201、202 はそのまま保護素子 200 の端子としてもよいし、更に金属電極 204 を設けても良い。

【0058】

図 3 に、保護素子 200 に金属電極 204 を設ける場合を示す。この金属電極 204 は、被保護素子である FET 3、FET 4 の端子と接続するボンディングパッド、またはボンディングパッドに接続する配線と接続する。尚、一例として半絶縁基板 51 に保護素子 200 および金属電極 204 を設ける場合を説明する。すなわち保護素子 200 の絶縁領域 203 は半絶縁基板 51 の一部であるが、これに限らず、不純物により絶縁化された領域でも良い。この場合、金属電極 2

04 がショットキー接合を形成する基板表面も不純物により絶縁化された領域とする。

【0059】

図3 (A) は、金属電極204 が、第1 n+型領域201 および／又は第2 n+型領域202 表面とショットキー接合を形成するものである。マスク合わせ精度及び両 n+領域201、202 の抵抗分を考慮し、絶縁領域203 端部から0.1 μm から5 μm 離間して、第1、第2 n+型領域201、202 表面に設けられる。5 μm 以上離間すると抵抗分が大きく静電気が通りにくくなる。金属電極204 は、第1、第2 n+型領域201、202 上のみに設けられても良いし、その一部が、半絶縁基板51 に延在され基板表面とショットキー接合を形成しても良い。

【0060】

また、図3 (B) の如く、金属電極204 は第1、および／又は第2 n+型領域201、202 とは直接接続せず、金属電極204 は第1 および／または第2 の n+型領域201、202 端部から0 μm から5 μm 程度外側で基板51 とショットキー接合を形成する構造でもよい。すなわち、第1、第2 n+型領域201、202 と金属電極204 は接する必要はなく、5 μm 以内であれば半絶縁基板を介して n+型領域と金属電極204 とは十分な接続を確保できる。

【0061】

尚、これら金属電極204 は、スイッチ回路装置の各端子が接続するボンディングパッドの一部またはボンディングパッドに接続する配線の一部であると尚よく、後に詳述するがこれらを利用することで、保護素子200 を接続することによるチップ面積の増大を防ぐことができる。

【0062】

図4 は、図1 のスイッチ回路装置を集積化した化合物半導体スイッチ回路装置の一例を示す平面図である。

【0063】

基板は、例えば化合物半導体基板51 (例えばGaAs) であり、この基板にスイッチを行うFET1 およびFET2 (いずれもゲート幅500 μm) を左右

の中央部に配置し、その下方にシャントFET3およびシャントFET4（いずれもゲート幅 $300\mu\text{m}$ ）を配置し、各FETのゲート電極に抵抗R1、R2、R3、R4が接続されている。また共通入力端子IN、出力端子OUT-1、OUT-2、制御端子Ctl-1、Ctl-2、接地端子GNDに対応する電極パッドI、O1、O2、C1、C2、Gが基板の周辺に設けられている。スイッチを行うFET1およびFET2を設け、更にシャントFET3およびシャントFET4のソース電極（あるいはドレイン電極）はFET1およびFET2に接続され、シャントFET3およびシャントFET4のドレイン電極（あるいはソース電極）は高周波接地に対応する電極パッドGに接続されている。尚、ここでの図示は省略するが電極パッドGは外付けのコンデンサCを介し接地端子GNDに接続する。なお、点線で示した第2層目の配線は各FETのゲート電極形成時に同時に形成され、半絶縁基板51表面とショットキー接合を形成するゲート金属層68（Pt/Mo/Ti/Pt/Au）であり、実線で示した第3層目の配線は各素子の接続およびパッドの形成を行うパッド金属層77（Ti/Pt/Au）である。第1層目の基板にオーミックに接触するオーミック金属層（AuGe/Ni/Au）は各FETのソース電極、ゲート電極および各抵抗両端の取り出し電極を形成するものであり、図4では、パッド金属層と重なるために図示されていない。

【0064】

図4で、FET1（FET2も同様）は、下側から伸びる6本の櫛歯状の第3層目のパッド金属層77が出力端子OUT-1（OUT-2）に接続されるソース電極75（あるいはドレイン電極）であり、この下に第1層目オーミック金属層で形成されるソース電極65（あるいはドレイン電極）がある。また上側から伸びる櫛歯状の6本の第3層目のパッド金属層77が共通入力端子INに接続されるドレイン電極76（あるいはソース電極）であり、この下に第1層目のオーミック金属層で形成されるドレイン電極66（あるいはソース電極）がある。この両電極は櫛歯をかみ合わせた形状に配置され、その間に第2層目のゲート金属層68で形成されるゲート電極69が櫛歯形状に配置され、FETのチャネル領域を構成している。

【0065】

また、シャントFETであるFET3（FET4も同様）は、下側から伸びる櫛歯状の4本の第3層目のパッド金属層77が接地端子GNDに接続されるソース電極75（あるいはドレイン電極）であり、この下に第1層目オーミック金属層で形成されるソース電極65（あるいはドレイン電極）がある。また上側から伸びる櫛歯状の4本の第3層目のパッド金属層77が出力端子OUT-1（OUT-2）に接続されるドレイン電極76（あるいはソース電極）であり、この下に第1層目のオーミック金属層で形成されるドレイン電極66（あるいはソース電極）がある。この両電極は櫛歯をかみ合わせた形状に配置され、その間に第2層目のゲート金属層68で形成されるゲート電極69が櫛歯形状に配置されて、チャンネル領域を構成している。

【0066】

更に、制御端子Ctl-1は抵抗R1を介してFET1のゲート電極に接続し、抵抗R4を介してFET4のゲート電極に接続している。また、制御端子Ctl-2は抵抗R2を介してFET2のゲート電極に接続し、抵抗R3を介してFET3のゲート電極に接続している。これらの抵抗R1～R4は、例えばn+型の不純物拡散領域であり、その不純物濃度は $1 \times 10^{17} \text{ cm}^{-3}$ 以上である。

【0067】

更に、各FETのゲート電極69近傍の基板表面には、例えばn+型の高濃度不純物領域100aを設ける。具体的には、FET1の櫛歯状のゲート電極69の先端部分69aおよびFET2の櫛歯状のゲート電極69の先端部分69aが、対向配置されるFET3およびFET4と少なくとも隣接する部分である。ここでゲート電極の先端部分69aとは、櫛歯状のゲート電極69を束ねた側と逆側をいい、また、ゲート電極69がチャンネル領域から延在され、基板とショットキー接合を形成している領域である。高濃度不純物領域100aは、各ゲート電極先端部分69aから約 $4 \mu\text{m}$ の離間距離で配置される。

【0068】

また、高濃度不純物領域100aは、FET1およびFET2と対向配置され

る FET 3 のゲート電極先端部分 69a と FET 4 のゲート電極先端部分 69a から $4\mu\text{m}$ の離間距離で配置されている。すなわち、本実施形態のパターンにおいては高濃度不純物領域 100a はスイッチの動作を行う FET 1、FET 2 と、対向配置されるシャント FET である FET 3、FET 4 間に設けられる。

【0069】

この高濃度不純物領域 100a により、基板とショットキー接合を形成するゲート電極 69 から前記基板に延びる空乏層の広がりを抑制することができる。基板とショットキー接合を形成する金属層においては、その金属層を伝わる高周波信号に応じて、基板に広がる空乏層の電界が変動することにより、空乏層が到達する隣接した電極などに高周波信号が漏れる場合がある。

【0070】

しかし、ゲート電極 69 が隣接するように配置された FET 1 と FET 3 および FET 2 と FET 4 の間の基板 51 表面に n+ 型の高濃度不純物領域 100a が設けられれば、不純物がドーピングされていない基板 51（半絶縁性であるが、基板抵抗値は $1 \times 10^7 \sim 1 \times 10^8 \Omega \cdot \text{cm}$ ）表面と異なり、不純物濃度が高くなる（イオン種 29Si^+ で濃度は $1 \sim 5 \times 10^8 \text{cm}^{-3}$ ）。これにより各 FET のゲート電極 69 は分離され、隣接する FET（ソース領域、ドレイン領域、チャネル領域の不純物領域やゲート電極）への空乏層が伸びないので、隣接する FET はお互いの離間距離を大幅に近接して設けることが可能となる。

【0071】

このように高濃度不純物領域 100a を設けることにより、FET 1 および FET 2 のゲート電極から基板に広がる空乏層が、隣接して対向配置された FET 3 および FET 4 のゲート電極、ソース領域およびドレイン領域、チャネル領域に到達することを防ぎ、高周波信号の漏出を抑制できる。

【0072】

具体的には、ゲート電極 69 の先端部分 69a から高濃度不純物領域 100a までの離間距離を $4\mu\text{m}$ にすれば、所定のアイソレーションを確保するには十分である。

【0073】

この高濃度不純物領域 100a の不純物濃度も、抵抗 R1～R4 と同様に $1 \times 10^{17} \text{ cm}^{-3}$ 以上である。また、図 4 の如くその一部がボンディングパッドまたはボンディングパッドに接続する配線等の金属層と接続し、DC 電位、GND 電位または高周波 GND 電位が印加されると、アイソレーションの向上により効果的である。

【0074】

また、基板とショットキー接合を形成するゲート金属層 68 からなる電極パッド 70 および配線 62 の近傍にも高濃度不純物領域 100b を配置する。更には 1 つの FET のゲート電極が、ゲート金属層 68 からなる電極パッドおよび配線 62 と隣接する領域にも高濃度不純物領域 100c を設ける。これにより、基板とショットキー接合を形成するゲート電極 68、電極パッド 70 および配線 62 から基板に広がる空乏層により高周波信号が漏出することを抑制できる。

【0075】

尚、高濃度不純物領域 100a～100c は、その配置される場所を明確にするために符号を変えているだけであり、本実施形態においてアイソレーションを向上させる効果としては全く同一の構成要素である。すなわち、高濃度不純物領域 100b、100c の不純物濃度は、高濃度不純物領域 100a と同様 $1 \times 10^{17} \text{ cm}^{-3}$ 以上である。また、図示は省略するが、この高濃度不純物領域 100b、100c にも金属電極を接続し、金属電極を GND に接続すると、アイソレーション向上に効果的である。

【0076】

本実施形態の特徴は、n+型不純物の拡散領域である抵抗と、高濃度不純物領域 100 の一部を利用してシャント FET のソース端子 S（またはドレイン端子 D）ーゲート端子 G 間に並列に保護素子 200 を接続するものである。

【0077】

前述の如く FET において、最も静電破壊電圧が低いのはゲート端子 G と動作層 52 とのショットキ接合部分である。つまり、ゲートドレイン端子間、又はゲートーソース端子間に印加された静電エネルギーが、ゲートショットキ接合に到達したとき、到達した静電エネルギーがチャネル領域のゲート電極とソース電

極間、またはゲート電極とドレイン電極間の静電破壊電圧を上回る場合、ゲートショットキ接合が破壊に至る。

【0078】

ここで、FET3側とFET4側は対称であり、全く同様であるので、FET3側を例に説明する。

【0079】

静電エネルギーを減衰させる1つの方法として、R3の抵抗値を大きくする方法が考えられるが、R3を大きくし過ぎると、スイッチ回路装置のスイッチング時間が大きくなり過ぎる。そこで、本実施形態においては保護素子200を用いて静電エネルギーを減衰させることとした。

【0080】

ここで、前述の如く抵抗R1～R4はn+型不純物領域で形成されている。また、各電極パッド70の周辺には、各電極パッド70から高周波信号が漏れないよう、アイソレーション対策として、高濃度不純物領域100bが配置されている。

【0081】

つまり、抵抗R3と出力端子パッドO1の離間距離を4 μ m程度まで近接して配置することにより、抵抗R3を構成するn+型領域と、近接する高濃度不純物領域100bは、半絶縁性基板51を挟んで保護素子200となる。つまり、制御端子パッドC2とFET3のゲート電極69との接続手段である抵抗R3の一部が例えば第1n+型領域201であり、出力端子パッドO1周辺の高濃度不純物領域100bの一部が例えば第2n+型領域202である。また、保護素子200の第1のn+型領域201が制御端子パッドC2と接続し、第2n+型領域202は、出力端子パッドO2と接続する。すなわち、制御端子Ct1-2-出力端子OUT-1間、つまりFET3のソースゲート端子間（又はドレインゲート端子間）に並列に保護素子200を接続したことになる。

【0082】

この保護素子200により、ゲート電極とソース電極間又は前記ゲート電極とドレイン電極間に外部より印加される静電エネルギーを保護素子200の2つの

n+型領域201、202間で放電させることができる。つまり、ゲート電極とソース電極間又はゲート電極とドレイン電極間に到達する静電エネルギーを両電極間の静電破壊電圧を超えない程度に減衰させることができる。具体的には、シャントFET（FET3およびFET4）のゲート電極およびソース電極間又はゲート電極およびドレイン電極間の静電破壊電圧を、保護素子200の接続前と比較して20V以上向上させ、スイッチ回路装置としての静電破壊電圧を200V以上にすることができる。

【0083】

ここで、第1n+型領域201は、図示は省略するが制御端子パッドC2または制御端子パッドC2に接続する配線と接続しても良い。また、第2n+型領域は出力端子パッドO2に接続する配線と接続しても良い。

【0084】

また、保護素子200は、出力端子パッドO1に近接し、出力端子パッドO1の一辺に沿って配置される。また、保護素子200は、信号が印加される制御端子パッドC2からチャンネル領域に至る経路途中に接続できる。これにより、スイッチ回路装置の出力端子OUT-1と制御端子Ct1-2間に印加された静電エネルギーをFET3のソース電極（又はドレイン電極）—ゲート電極間に到達する前に、その到達過程において減衰させることができる。

【0085】

ここで、保護素子200がパッドに添って近接している距離は長い方がより多くの静電エネルギーを減衰させることができるため、10 μ m以上が望ましい。

【0086】

図4では、保護素子200は、出力端子パッドO1の1辺に添って配置した図を示したが、例えば抵抗R3を曲折して、出力端子パッドO1の2辺に添ってL字形状に配置すれば、パッドと近接して配置する保護素子200の長さを稼げるので静電エネルギーの減衰により効果的である。一方図の如く、例えば出力端子パッドO1とチップのスクライブラインの間に配置すれば、保護素子200を接続することによるチップ内の有効面積を低減させることがない。

【0087】

図5は電極パッド付近のA-A線断面図を示す。尚、スイッチ回路装置を構成する各電極パッドは全て同様の構成である。

【0088】

図の如く電極パッド70の一番下のゲート金属層68は、GaAs半絶縁性基板とショットキ接合を形成しており、その近傍に設けられた高濃度不純物領域100bと各電極パッドは基板51を介して接続している。すなわち抵抗R3の一部と、第3の高濃度不純物領域となる高濃度不純物領域100bの一部とが半絶縁性基板51を挟んで保護素子200となり、例えば第2n+型領域202が半絶縁基板51（絶縁領域203）を介して金属電極204と接続する構造である。高濃度不純物領域100bの端部から0 μ mから5 μ m外側に離間して金属電極204が基板表面とショットキー接合を形成する。この場合金属電極204はゲート金属層68からなる出力端子パッドO2の一部であるが、出力端子パッドO2に接続する配線の一部であっても良い（図3（B）参照）。尚、この接続例は一例であり、図3に示すすべての接続形態が考えられる。

【0089】

図6には、図4のスイッチ回路装置の一部の断面図および回路概要図を示す。図6（A）は図4のB-B線断面図であり1組のFETを示す。尚、スイッチ回路装置を構成する各電極パッドおよびスイッチ動作を行うFET1、FET2およびシャントFETであるFET3、FET4は全て同様の構成である。

【0090】

図6（A）の如く、基板51にはn型イオン注入層による動作層52とその両側にソース領域56およびドレイン領域57を形成するn+型の不純物領域が設けられ、動作層52にはゲート電極69が設けられ、不純物領域には第1層目のオーミック金属層で形成されるドレイン電極66およびソース電極65が設けられる。更にこの上に前述したように3層目のパッド金属層77で形成されるドレイン電極76およびソース電極75が設けられ、各素子の配線等を行っている。

【0091】

本実施形態では、図4の如く、FET3（FET4）のソース端子S（又はドレイン端子D）ーゲート端子Gの2端子間に並列に、すなわち出力端子OUTー

1-制御端子Ct1-2間に、保護素子200を接続する。これにより、対応する2端子間から印加される静電エネルギーに対し、それを一部放電するためのバイパスとなる経路ができるため、弱い接合であるFET3のゲート電極69ショットキ接合にかかる静電エネルギーを軽減することができる。

【0092】

また、本実施形態においては、従来のFETがTiでチャネル領域とショットキ接合を形成しているのに対し、本実施形態のゲート電極69はPtを埋め込んだゲート電極69とし、FETの飽和電流値を上げ、ON抵抗値を下げている。また、ドレイン電極66およびソース電極65の周囲を覆う窒化膜の上に、ドレイン電極66およびソース電極65に沿って酸化膜120が設けられる。

【0093】

この酸化膜120は、後に詳述するが、本実施形態のFETを製造する工程において必要となるものであり、ゲート電極69のマスク合わせ精度を向上させるため、FETのソース領域56、ドレイン領域57を形成するn+型領域上に設けられるものである。その製法上、ソース電極65およびドレイン電極66に沿って2本ずつ形成される各酸化膜120は、1つの側面がソース領域56またはドレイン領域57の端部とほぼ一致しており、他の側面がソース電極65またはドレイン電極66の端部とほぼ一致している。この酸化膜120を設けることによりマスク合わせ精度が向上し、ソースドレイン領域間の距離およびソースドレイン電極間の距離が従来よりも縮小する。つまりFETの飽和電流値を上げ、ON抵抗値を下げている。

【0094】

ソース領域56とドレイン領域57間のチャネル領域44（動作層52）にあるゲート電極69の長さLgは、通常短チャネル効果が発生しない0.5μmに設計される。ゲート幅Wgは、ソース領域56およびドレイン領域57に沿ってチャネル領域44（動作層52）にあるゲート電極69の幅（櫛歯の総和）をいい、スイッチ動作を行うFETのゲート幅Wgが従来600μmであったところを500μmにシュリンクしている。また、シャントFETのゲート幅Wgは300μmである。

【0095】

このように、FET自身のゲート幅 W_g を小さくすることにより、FETのOFF容量を減らすことでアイソレーションを向上させることもできる。しかし、一般的にはFETのゲート幅 W_g を従来の $600\mu\text{m}$ から $500\mu\text{m}$ に小さくすると飽和電流値が下がり、ON抵抗値が上がってしまう。そこで、ゲート幅 W_g を縮小しても従来どおりの飽和電流値、ON抵抗値を保つため、基本素子としてのFETの能力を向上させる必要がある。本実施形態では、従来Tiのショットキー接合によるゲート電極であったものを、Ptを埋め込んだゲート電極のFETとする。

【0096】

ゲート電極69は、最下層から、Pt/Mo/Ti/Pt/Auの多層蒸着金属層であり、Pt層の一部を動作層に埋め込んだ電極構造である。埋め込みのための熱処理後、もともと最下層にPtのあった部分は主にPtGaとなり、GaAsにPtが拡散した部分は主にPtAs₂となる。

【0097】

GaAsFETのチャネル領域とショットキー接合を形成する金属として、PtはTiに比べGaAsに対するバリアハイトが高いため、Tiでショットキー接合を形成する従来のFETに比べPt埋め込みゲートFETは高い飽和電流値と低いON抵抗値が得られる。さらにPt埋め込みゲートFETはゲート電極の一部をチャネル領域に埋め込むことにより、ゲート電極直下の電流の流れる部分がチャネル領域表面から下がる。すなわちチャネル領域は予め所望のFET特性が得られるようにゲート電極の埋設分を考慮して深く形成されているため、表面自然空乏層領域から離れ、結晶が良好な低抵抗領域を電流が流れるようなチャネル領域の設計となっている。以上の理由によってもTiゲートFETに比べPt埋め込みゲートFETは飽和電流値、ON抵抗値や高周波歪み特性が大幅に改善される。

【0098】

さらに、本実施形態のFETは、従来に比べ、ゲート電極形成のマスク合わせ精度を向上させ、製造プロセスを工夫することにより、ソースドレイン間の距

離を縮め、基本素子としての特性をますます向上させている。しかし、そのために、製造工程においてソース領域56およびドレイン領域57となるn+型領域上にマスク合わせ用の酸化膜120を同時に形成し、且つゲート電極69をPt層の埋め込みで形成している。このため、後に詳述するが、従来例で示した電極パッド70および配線62と当接する周辺n+型領域160、161が形成できないことになる。

【0099】

そのため、チップ上の1つの電極パッド70および配線62となるゲート金属層68から基板に延びる空乏層の拡がりを抑制するため、当該ゲート金属層68と、FETや他のゲート金属層68（他の配線62および他の電極パッド70）、不純物拡散領域からなる抵抗R1～R4のいずれかとが少なくとも隣接する部分、または1つのFETのゲート電極と、ゲート金属層68、抵抗R1～R4とが少なくとも隣接する部分に、ゲート金属層68と当接しない高濃度不純物領域100b、100cを設けている。

【0100】

さらに、近接するFET間に高濃度領域100aを設けることで、アイソレーションを向上させ、各FET間の離間距離を大幅に低減できる。

【0101】

また、FETを形成するためにマスク合わせ用の酸化膜120を設けることにより、ゲート電極69とソース領域56またはドレイン領域57とのマスク合わせずれに最大で0.1 μ m確保すればよく、従来0.2 μ m確保しなければならなかったもので、その差0.1 μ m分、ゲート電極69とソース領域56またはドレイン領域57間距離をシュリンクできる。具体的には、ソース領域56およびドレイン領域57とゲート電極69間距離を0.6 μ mから0.5 μ mに縮小でき、さらに同様の理由によりソース領域56端—ソース電極65端距離およびドレイン領域57端—ドレイン電極66端距離を0.4 μ mから0.3 μ mに縮小できる。

【0102】

つまり、ソース領域56、ドレイン領域57とゲート電極69のマスク合わせ

精度を向上し、ソース領域56、ドレイン領域57とゲート電極69の距離をそれぞれ $0.1\mu\text{m}$ 縮め、ソース領域56とソース電極65間、ドレイン領域57とドレイン電極66間のマスク合わせ精度を向上し、ソース領域56端—ソース電極65端距離およびドレイン領域57端—ドレイン電極66端距離をそれぞれ $0.1\mu\text{m}$ 縮め、トータルとしてソース電極—ドレイン電極間距離を $0.4\mu\text{m}$ 縮めることができるので、飽和電流値の向上および、ON抵抗値の低減が実現できる。この効果と前述のTiショットキゲートFETからPt埋め込みゲートFETへの変更の効果を合わせて、スイッチ動作を行うFETのゲート幅 W_g を $500\mu\text{m}$ に低減しても、従来どおりの飽和電流値およびON抵抗値を確保できることになり、ゲート幅 W_g 低減によるアイソレーション向上に大きく寄与している。

【0103】

更に、FETの基本素子としての性能を向上するために、その製造プロセス上電極パッド70および配線62の下に設けていた周辺n+型領域160、161が形成できなくなるが、電極パッド70および配線62の近傍に高濃度不純物領域100b、100cを設けることで、従来どおりの所定のアイソレーションを確保することができる。

【0104】

本実施形態では、図6(B)(C)の如くこれらの高濃度不純物領域100bと抵抗R3、R4を用いて保護素子200とし、弱い接合であるシャントFET3およびFET4のソース（またはドレイン）端子—ゲート端子間を保護できる。すなわち、スイッチ回路装置の必要構成要素を用いて、尚且つ保護素子200を接続するためのスペースを特別に確保することなく、スイッチ回路装置の静電破壊電圧を大幅に向上させることができるものである。

【0105】

以上に説明した如く、本実施形態ではFETの動作層はイオン注入によって形成されており、ゲート金属層68は、半絶縁基板51表面とショットキー接合を形成している。例えば、同じ化合物半導体でもエピタキシャル層によりFETの動作層が形成されている場合、イオン注入により絶縁化した領域で分離を行う必要

があり、その場合は、ゲート金属層 68 は、絶縁領域とショットキー接合を形成する。絶縁領域の不純物濃度は $1 \times 10^{14} \text{ cm}^{-3}$ 以下であり、抵抗率は $1 \times 10^3 \Omega \cdot \text{cm}$ 以上である。本実施形態で FET をエピタキシャル層により形成した場合は FET のチャネル領域 44、抵抗 R1 ~ R4、抵抗とゲート電極または抵抗と電極パッドとのコンタクト部分、高濃度不純物領域 100、第 1 n+ 型領域 201、第 2 n+ 型領域 202 以外の部分が絶縁領域となる。さらにイオン注入による絶縁領域での分離は化合物半導体に限らず Si 半導体でも同様である。本明細書においては、このような半絶縁基板の一部および基板に不純物注入により絶縁化された領域を総称して絶縁領域とする。

【0106】

また、上記の各 FET は、MESFET を例に説明したが、接合型 FET または HEMT であっても良い。

【0107】

次に、本発明の半導体装置の製造方法を、上記のスイッチ回路装置を例に図 7 から図 12 を参照して説明する。

【0108】

尚、ここでは 1 つの電極パッドについて説明する。例えば、以下の製造方法により、図 4 に示すスイッチ回路装置を製造する場合、共通入力端子用の電極パッド、第 1 および第 2 制御端子用の電極パッド、第 1 および第 2 出力端子用の電極パッドはすべて同様に形成される。尚、高濃度不純物領域 100a ~ 100c は同一構成要素であり、その配置も様々であるので、以下高濃度不純物領域 100 として説明する。

【0109】

本発明の製造方法は、基板表面に動作層を形成する工程と、前記基板表面に一導電型不純物を注入・拡散して、前記動作層に接してソースおよびドレイン領域を形成し、同時に基板とショットキー接合を形成するゲート金属層が設けられる領域の近傍に高濃度不純物領域を形成する工程と、前記ソース領域、ドレイン領域および高濃度不純物領域上に絶縁膜を形成する工程と、前記絶縁膜にマスク合わせを行うフォトリソグラフィ工程により前記ソースおよびドレイン領域にオー

ミック金属層を付着し第1ソースおよび第1ドレイン電極を形成する工程と、前記絶縁膜にマスク合わせを行うフォトリソグラフィ工程により前記動作層および前記基板表面とショットキー接合を形成するゲート金属層を付着しゲート電極および第1電極パッドおよび配線を形成する工程と、前記第1ソースおよび第1ドレイン電極と前記第1電極パッド上に、パッド金属層を付着し第2ソースおよび第2ドレイン電極と第2電極パッドを形成する工程とから構成される。

【0110】

第1工程：まず、図7に示す如く、基板51表面に動作層52を形成する。

【0111】

すなわち、GaAs等で形成される化合物半導体基板51全面を約100 Åから200 Åの厚みのスルーイオン注入用シリコン窒化膜53で被覆する。次に、チップの最外周又は、マスクの所定の領域のGaAsをエッチングして合わせマーク（不図示）を形成し、予定の動作層52上のレジスト層54を選択的に窓開けするフォトリソグラフィプロセスを行う。その後、このレジスト層54をマスクとして予定の動作層52へ動作層を選択するためにp型を与える不純物（ 24Mg^+ ）のイオン注入およびn型を与える不純物（ 29Si^+ ）のイオン注入を行う。この結果、ノンドープの基板51にはp型領域55と、その上にn型動作層52が形成される。次にアニール用シリコン窒化膜を約500 Åをデポする。

【0112】

第2工程：次に図8に示す如く、前記基板表面に一導電型不純物を注入・拡散して、前記動作層に接してソースおよびドレイン領域を形成し、同時に基板とショットキー接合を形成するゲート金属層が設けられる領域の近傍に高濃度不純物領域を形成する。

【0113】

前工程で用いたレジスト層54を除去し、新たに予定のソース領域56、ドレイン領域57、予定のショットキー金属層が設けられる近傍のレジスト層58を選択的に窓開けするフォトリソグラフィプロセスを行う。ショットキー金属層とは、半絶縁基板とショットキー接合を形成するゲート電極および配線、電極パッ

ドの最下層となる金属層（以下ゲート金属層と称する）であるので、予定の配線 62 および予定の電極パッド 70 部分の近傍が露出することになる。

【0114】

続いて、このレジスト層 58 をマスクとして予定のソース領域 56 およびドレイン領域 57、予定の高濃度不純物領域 100 の基板表面に n 型を与える不純物 ($29Si^+$) のイオン注入を行う。これにより、 n^+ 型のソース領域 56 およびドレイン領域 57 を形成し、同時に高濃度不純物領域 100 を形成する。高濃度不純物領域 100 は、所定のアイソレーションを確保するため、ゲート金属層が、他のゲート金属層または不純物領域と隣接する領域に、少なくとも設けられる。また、高濃度不純物領域 100 は、ゲート金属層の端部から $4\mu m$ 程度離間した基板表面に設けられる。チップの最外周又は、マスクの所定の領域に後の工程においてマスク合わせをするためのあわせマーク用にレジスト 58 が除去されている。尚、図には示さないが、同一の n^+ 型不純物の注入・拡散工程により抵抗 $R1 \sim R4$ も所定の位置に形成される。

【0115】

図 8 の断面図では、高濃度不純物領域 100 が FET のチャネル領域 44、予定の配線 62、予定の電極パッド層 70 の近傍でそれぞれを分離するように設けられる図を示している。しかし実際には図 4 の如く、1 つの FET のゲート電極 69 が他の FET と隣接する領域（高濃度不純物 100a）や、電極パッド 70 および配線 62 となるゲート金属層が、FET、他の電極パッド 70 および配線 62、不純物領域からなる抵抗 $R1 \sim R4$ のいずれかと少なくとも隣接する領域（高濃度不純物 100b）のゲート金属層の近傍に形成される。

【0116】

これにより、近接した抵抗 $R3$ 、 $R4$ と高濃度不純物領域 100b とが半絶縁の基板 51 を挟んで保護素子 200 となる。

【0117】

第 3 工程：次に図 9 の如く、前記ソース領域、ドレイン領域および高濃度不純物領域上に絶縁膜を形成する。高濃度不純物領域 100 を形成したレジスト 58 を残したまま、全面に酸化膜 120 を堆積する（図 9（A））。その後リフトオ

フによりレジスト 58 を除去することで、ソース領域 56 およびドレイン領域 57 と高濃度不純物領域 100 上に酸化膜 120 が残される (図 9 (B))。また合わせマーク用にも酸化膜 120 が残され、これらの酸化膜 120 を以降の工程において合わせマーク 130 として利用する。次にイオン注入された p 型領域、n 型動作層、およびソース領域、ドレイン領域、高濃度不純物領域となる n+ 型領域の活性化アニールを行う。

【0118】

第 4 工程：更に、図 10 の如く、前記絶縁膜にマスク合わせを行うフォトリソグラフィ工程により前記ソースおよびドレイン領域にオーミック金属層を付着し第 1 ソースおよび第 1 ドレイン電極を形成する。

【0119】

まず、新たなレジスト 63 を設け、予定の第 1 ソース電極 65 および第 1 ドレイン電極 66 を形成する部分を選択的に窓開けするフォトリソグラフィプロセスを行う (図 10 (A))。露出した酸化膜 120 とその下層のシリコン窒化膜 53 を CF_4 プラズマにより除去して、ソース領域 56 およびドレイン領域 57 を露出し (図 10 (B))、引き続いてオーミック金属層 64 となる $Ag/Ge/Ni/Au$ の 3 層を順次真空蒸着して積層する (図 10 (C))。その後、レジスト層 63 を除去して、リフトオフによりソース領域 56 およびドレイン領域 57 上にコンタクトした第 1 ソース電極 65 および第 1 ドレイン電極 66 を残す。引き続いて合金化熱処理により第 1 ソース電極 65 とソース領域 56、および第 1 ドレイン電極 66 とドレイン領域 57 のオーミック接合を形成する (図 10 (D))。

【0120】

従来は $GaAs$ をエッチングした合わせマークを用いて、動作層 52 形成、ソースドレイン領域 56、57 形成、ソースドレイン電極 65、66 形成工程を行っており、マスクアライナーの合わせ精度が $0.1\mu m$ であるので、ソース領域 56 とソース電極 65 間、ドレイン領域 57 とドレイン電極 66 間のマスク合わせの誤差が最大で $0.2\mu m$ の誤差となっていた。ソース領域 56 端—ソース電極 65 端間距離およびドレイン領域 57 端—ドレイン電極 66 端間距離は 0.2

μm が耐圧の限界であるので、合わせずれを考慮して設計中心で $0.4\mu\text{m}$ の離間距離を確保しなければならなかった。しかし、本実施形態のごとく、ソース領域56およびドレイン領域57形成と同時に合わせマーク130を形成することで、ソース領域及びドレイン領域とソース電極及びドレイン電極を直接マスク合わせできるので、ソース領域56端—ソース電極65端間距離およびドレイン領域57端—ドレイン電極66端間距離を縮小できる。つまりソース領域56とソース電極65間、ドレイン領域57とドレイン電極66間のマスク合わせずれは最大でも $0.1\mu\text{m}$ に抑えることができるので、設計中心で $0.3\mu\text{m}$ の離間距離を確保すればよいことになる。

【0121】

第5工程：更に図11の如く、前記絶縁膜にマスク合わせを行うフォトリソグラフィ工程により前記動作層および前記基板表面とショットキー接合を形成するゲート金属層を付着しゲート電極および第1電極パッドおよび配線を形成する。

【0122】

まず図11(A)では、予定のゲート電極69、電極パッド70および配線62部分を選択的に窓開けするフォトリソグラフィプロセスを行い、予定のゲート電極69、電極パッド70および配線62部分から露出したシリコン窒化膜53をドライエッチングして、予定のゲート電極69部分の動作層52を露出し、予定の配線62および予定の電極パッド70部分の基板51を露出する。予定のゲート電極69部分の開口部は $0.5\mu\text{m}$ とし微細化されたゲート電極69を形成できるようにする。

【0123】

次に、図11(B)では、動作層52および露出した基板51に第2層目の電極としてのゲート金属層68を付着しゲート電極69、配線62および第1電極パッド70を形成する。すなわち、基板51に第2層目の電極としてのゲート金属層68となるPt/Mo/Ti/Pt/Auの5層を順次真空蒸着して積層する。

【0124】

その後図11(C)の如くレジスト層67を除去してリフトオフにより動作層

52にコンタクトするゲート長 $0.5\mu\text{m}$ のゲート電極69と、第1電極パッド70および配線62を形成し、Ptを埋め込む熱処理を施す。これにより、ゲート電極69は基板とのショットギア接合を保ったまま動作層52に一部が埋設される。ここで、この場合の動作層52の深さは第1の工程で動作層52を形成する場合に、このゲート電極69の埋め込み分を考慮して、所望のFET特性を得られるように深く形成しておく。

【0125】

動作層52表面（例えば表面から 500\AA 程度）は、自然空乏層が発生したり、結晶が不均一な領域であるなどで電流が流れず、チャンネルとしては有効でない。ゲート電極69の一部をチャンネル領域52に埋め込むことにより、ゲート電極69直下の電流の流れる部分がチャンネル領域52表面から下がる。チャンネル領域52は予め所望のFET特性が得られるようにゲート電極69の埋設分を考慮して深く形成されているため、チャンネルとして有効活用できる。具体的には電流密度、チャンネル抵抗や高周波歪み特性が大幅に改善される利点を有する。

【0126】

ここで、ゲート電極69形成のマスキも、合わせマーク130を用いる。すなわち、ソース、ドレイン領域とゲート電極を直接マスク合わせする。これにより、ゲート電極69とソース領域56またはドレイン領域57との合わせずれは、つまりマスクアライナーの合わせ精度と同等となり、最大で $0.1\mu\text{m}$ に抑えることができる。従来では、別にGaAsをエッチングすることにより設けた合わせマークを介して間接的にゲート電極69とソース領域56またはドレイン領域57をマスク合わせしていたため、ゲート電極69とソース領域56またはドレイン領域57の合わせずれは、マスクアライナーの合わせ精度が $0.1\mu\text{m}$ のため、最大で $0.2\mu\text{m}$ となる。ソース領域56及びドレイン領域57とゲート電極69間は、最低 $0.4\mu\text{m}$ 離間しないと所定の耐圧が確保できないため、マスク合わせ誤差による生産バラツキを考慮して設計中心で $0.6\mu\text{m}$ の離間距離を確保する必要があったが、本実施形態によれば設計中心で $0.5\mu\text{m}$ 確保すればよいことになる。

【0127】

ここで、酸化膜 120 は、ソース領域 56、ドレイン領域 57 と同時に形成される高濃度不純物領域 100 上にも設けられるものである。つまり従来の如く電極パッド 70 や配線 62 下の全面（または周辺部）にアイソレーションの向上のための高濃度不純物領域 100 を形成すると、ゲート金属層 68 は酸化膜 120 の上に堆積することになる。特に、本実施形態では FET の基本性能を向上させるため、Pt の埋め込みによってゲート電極 69 を形成している。すなわち、酸化膜 120 上に Pt を配置することになるが、酸化膜 120 と Pt は接着強度が弱く、ゲート金属層 68 が酸化膜 120 からのはがれる問題が発生する。

【0128】

そこで、図 5 および図 11 (C) の如く、電極パッド 70 や配線 62 とは当接させず、隣接する他のゲート金属層、FET、不純物領域との間に高濃度不純物領域 100 を配置することとした。これにより、ゲート金属層から基板に広がる空乏層が、隣接する他のゲート金属層、FET、不純物領域へ到達することを抑制できる。

【0129】

つまり、FET としての基本性能を向上できる製造方法であり尚且つ、電極パッド 70 および配線 62 を構成するゲート金属層からの空乏層の広がりや、近傍に設けた高濃度不純物領域 100 により抑制することができ、高周波信号の漏れを防げるものである。

【0130】

第 7 工程：更に、第 1 ソースおよび第 1 ドレイン電極と前記第 1 電極パッド上に第 3 層目の電極としてのパッド金属層を付着し第 2 ソースおよび第 2 ドレイン電極と第 2 電極パッドを形成する。

【0131】

ゲート電極 69、配線 62 および第 1 電極パッド 70 を形成した後、ゲート電極 69 周辺の動作層 52 を保護するために、基板 51 表面はシリコン窒化膜よりなるパッシベーション膜 72 で被覆される。このパッシベーション膜 72 上にフォトリソグラフィプロセスを行い、第 1 ソース電極 65、第 1 ドレイン電極 66、ゲート電極 69 および第 1 電極パッド 70 とのコンタクト部に対して選択的に

レジストの窓開けを行い、その部分のパッシベーション膜 72 をドライエッチングする。その後、レジスト層 71 は除去される（図 12（A））。

【0132】

更に、基板 51 全面に新たなレジスト層 73 を塗布してフォトリソグラフィプロセスを行い、予定の第 2 ソース電極 75 および第 2 ドレイン電極 76 と第 2 電極パッド 77 上のレジストを選択的に窓開けするフォトリソグラフィプロセスを行う。続いて、第 3 層目の電極としてのパッド金属層 74 となる Ti/Pt/Au の 3 層を順次真空蒸着して積層し、第 1 ソース電極 65、第 1 ドレイン電極 66 および第 1 電極パッド 70 にコンタクトする第 2 ソース電極 75 および第 2 ドレイン電極 76 と第 2 電極パッド 77 が形成される（図 12（B））。パッド金属層 74 の他の部分はレジスト層 73 上に付着されるので、レジスト層 73 を除去してリフトオフにより第 2 ソース電極 75 および第 2 ドレイン電極 76 と第 2 電極パッド 77 のみを残し、他は除去される。なお、一部の配線部分はこのパッド金属層 74 を用いて形成されるので、当然その配線部分のパッド金属層 74 は残される（図 12（C））。

【0133】

尚、高濃度不純物領域 100 の配置例は一例であり、基板とショットキー接合を形成するゲート金属層 68 に印可される高周波信号を基板 51 を介して他のゲート金属層 68 に伝達することを防止する配置であればよい。

【0134】

また、図 13 および図 14 を用いて、第 2 の実施形態を示す。本実施形態は、従来の製造方法（図 17 および図 18 参照）により形成された FET を集積化したスイッチ回路装置の一例である。

【0135】

すなわち、酸化膜 120 によるマスク合わせを行わず、チップの最外周又は、マスクの所定の領域の GaAs 基板 51 をエッチングして合わせマークを形成し、全てのフォトリソグラフィのマスクを合わせマークに合わせるものである。

【0136】

この場合、酸化膜 120 は形成されないで、電極パッド 70 の周辺に、パッ

ドとショットキー接合を形成する第3の高濃度不純物領域である周辺 $n+$ 型領域160を形成できる。すなわち、保護素子200は、周辺 $n+$ 型領域160の一部および、抵抗 R_3 (R_4) と、その間の半絶縁基板から構成される。

【0137】

図14には、パッド付近のC-C線断面図(図14(A))およびFETのD-D線断面図(図14(B))、FETの回路概要図(図14(C)、(D))を示す。

【0138】

図14(A)の如く出力端子パッド O_1 (O_2) の一番下のゲート金属層68は、GaAs半絶縁性基板とショットキー接合を形成しており、周辺 $n+$ 型領域160の一部である第2 $n+$ 型領域202は、ゲート金属層68と当接して配置され、ショットキー接合を形成している。すなわち抵抗 R_3 (R_4) の一部と、周辺 $n+$ 型領域160の一部とが半絶縁性基板51を挟んで保護素子200となり、第2 $n+$ 型202が金属電極と接続する構造である(図3(A)参照)。

【0139】

図14(B)は図13のD-D線断面図を示す。尚、スイッチ回路装置を構成する各電極パッドおよびスイッチ動作を行うFET1、FET2およびシャントFETであるFET3、FET4は全て同様の構成である。

【0140】

図の如く、基板51には n 型イオン注入層による動作層52とその両側にソース領域56およびドレイン領域57を形成する $n+$ 型の不純物領域が設けられ、動作層52にはゲート電極69が設けられ、不純物領域には第1層目のオーミック金属層で形成されるドレイン電極66およびソース電極65が設けられる。更にこの上に前述したように3層目のパッド金属層77で形成されるドレイン電極76およびソース電極75が設けられ、各素子の配線等を行っている。動作層52とゲート電極69はTiでショットキー接合を形成している。

【0141】

本実施形態では、図14(C)(D)の如く、FET3(FET4)のソース端子S(又はドレイン端子D)ーゲート端子Gの2端子間に並列に、すなわち出

力端子OUT-1-制御端子Ctl-2間に、保護素子200を接続する。これにより、対応する2端子間から印加される静電エネルギーに対し、それを一部放電するためのバイパスとなる経路ができるため、弱い接合であるFET3のゲート電極69ショットキ接合にかかる静電エネルギーを軽減することができる。

【0142】

【発明の効果】

以上に詳述した如く、本発明に依れば以下の効果が得られる。

【0143】

第1に、スイッチ回路装置の構成要素を利用し、抵抗のパターンを工夫することで保護素子が接続できる。これにより、シヤントFETのゲート電極およびソース電極間又はゲート電極およびドレイン電極間の静電破壊電圧を保護素子接続前と比較して20V以上向上でき、スイッチ回路装置としての静電破壊電圧を200V以上にすることができる。

【0144】

第2に、電極パッドの一部を保護素子が接続する金属電極として利用し、また電極パッドとスクライブラインの間に保護素子を配置することにより、保護素子を接続することによるチップ内の面積の増大を抑制することができる。

【0145】

第3に、アイソレーションを向上するためにパッド周辺に設けた高濃度領域を保護素子の1つの端子とすることができ、アイソレーション向上と静電破壊電圧の向上が実現する。

【0146】

第4に、保護素子は、高濃度領域—絶縁領域—高濃度領域からなり、pn接合を有さないため、保護素子自体の寄生容量が発生しない。スイッチ回路装置と同一基板で保護素子を作りこむことができ、寄生容量の増加をほとんど伴わず、従って高周波特性を劣化させずに、スイッチ回路装置のシヤントFETの静電破壊を防ぐことができる。

【0147】

第5にスイッチ回路装置の端子と接続するパッドに近接して保護素子を接続す

ることにより、静電エネルギーの印加直後に放電することができ、より静電破壊電圧の向上に寄与できる。

【0 1 4 8】

第6に、スイッチ回路装置の端子から動作領域への経路途中に保護素子を接続することにより、最も効果的に、動作領域の静電破壊に弱い接合を静電破壊から保護できる。

【0 1 4 9】

第7に、保護素子は、静電エネルギーを放電する面が、水平面となる保護ダイオードと異なり、垂直面になるため、チップ面積の増大をほとんど招くことなく、これを集積化することができるものである。

【図面の簡単な説明】

【図1】

本発明を説明するための回路図である。

【図2】

本発明を説明するための概要図である。

【図3】

本発明を説明するための断面図である。

【図4】

本発明を説明するための平面図である。

【図5】

本発明を説明するための断面図である。

【図6】

本発明を説明するための（A）断面図、（B）回路概要図、（C）回路概要図である。

【図7】

本発明を説明するための断面図である。

【図8】

本発明を説明するための断面図である。

【図 9】

本発明を説明するための断面図である。

【図 1 0】

本発明を説明するための断面図である。

【図 1 1】

本発明を説明するための断面図である。

【図 1 2】

本発明を説明するための断面図である。

【図 1 3】

本発明を説明するための平面図である。

【図 1 4】

本発明を説明するための (A) 断面図、(B) 断面図、(C) 回路概要図、(D) 回路概要図である。

【図 1 5】

従来例を説明するための (A) 回路図、(B) 平面図である。

【図 1 6】

従来例を説明するための (A) 断面図、(B) 回路概要図である。

【図 1 7】

従来例を説明するための断面図である。

【図 1 8】

従来例を説明するための断面図である。

【符号の説明】

4 4 チャンネル領域

5 1 G a A s 基板

5 2 動作層

5 3 窒化膜

5 4 レジスト

5 6 ソース領域

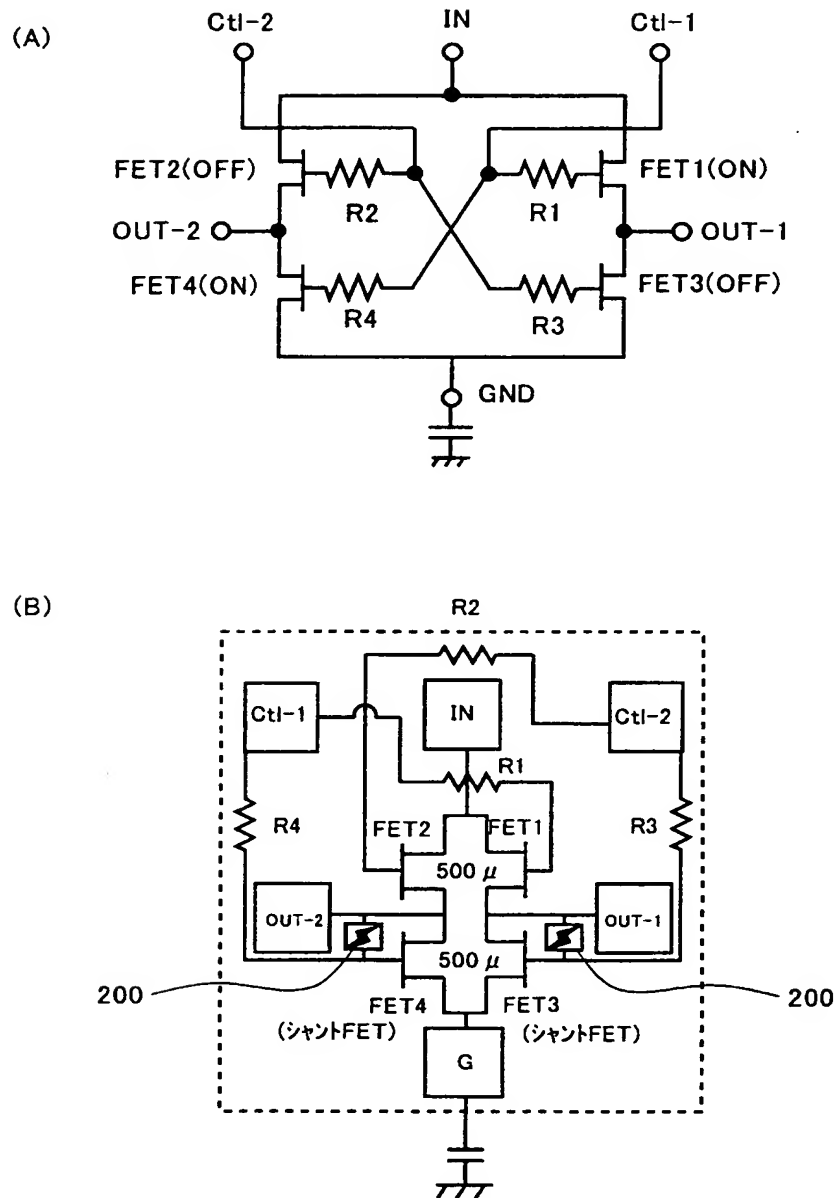
5 7 ドレイン領域

5 8 レジスト
6 2 配線
6 3 レジスト
6 4 オーミック金属層
6 5 第 1 ソース電極
6 6 第 1 ドレイン電極
6 7 レジスト
6 8 ゲート金属層
6 9 ゲート電極
7 0 第 1 電極パッド
7 1 レジスト
7 2 窒化膜
7 4 パッド金属層
7 5 第 2 ソース電極
7 6 第 2 ドレイン電極
7 7 第 2 電極パッド
1 0 0 高濃度不純物領域
1 0 0 a 高濃度不純物領域
1 0 0 b 高濃度不純物領域
1 0 0 c 高濃度不純物領域
1 2 0 酸化膜
1 3 0 合わせマーク
1 4 4 チャンネル領域
1 5 1 G a A s 基板
1 5 2 動作層
1 5 3 窒化膜
1 5 4 レジスト
1 5 6 ソース領域
1 5 7 ドレイン領域

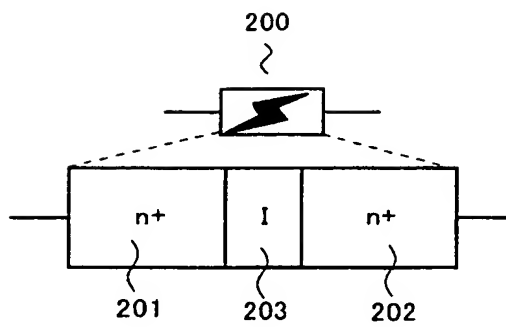
- 1 5 8 レジスト
- 1 6 0 周辺 n + 型領域
- 1 6 1 周辺 n + 型領域
- 1 6 2 配線
- 1 6 3 レジスト
- 1 6 4 オーミック金属層
- 1 6 5 第 1 ソース電極
- 1 6 6 第 1 ドレイン電極
- 1 6 7 レジスト
- 1 6 8 ゲート金属層
- 1 6 9 ゲート電極
- 1 7 0 第 1 電極パッド
- 1 7 1 レジスト
- 1 7 2 窒化膜
- 1 7 4 パッド金属層
- 1 7 5 第 2 ソース電極
- 1 7 6 第 2 ドレイン電極
- 1 7 7 第 2 電極パッド
- 2 0 0 保護素子
- 2 0 1 第 1 n + 型領域
- 2 0 2 第 2 n + 型領域
- 2 0 3 絶縁領域
- 2 0 4 金属電極

【書類名】 図面

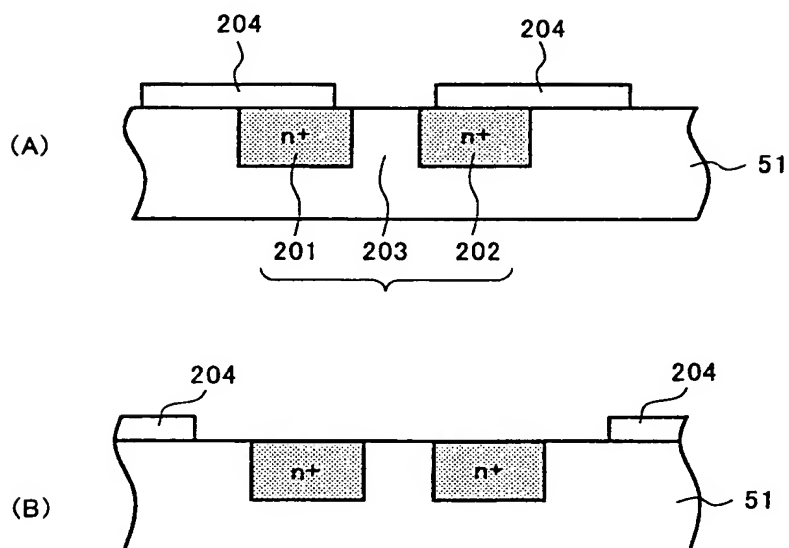
【図 1】



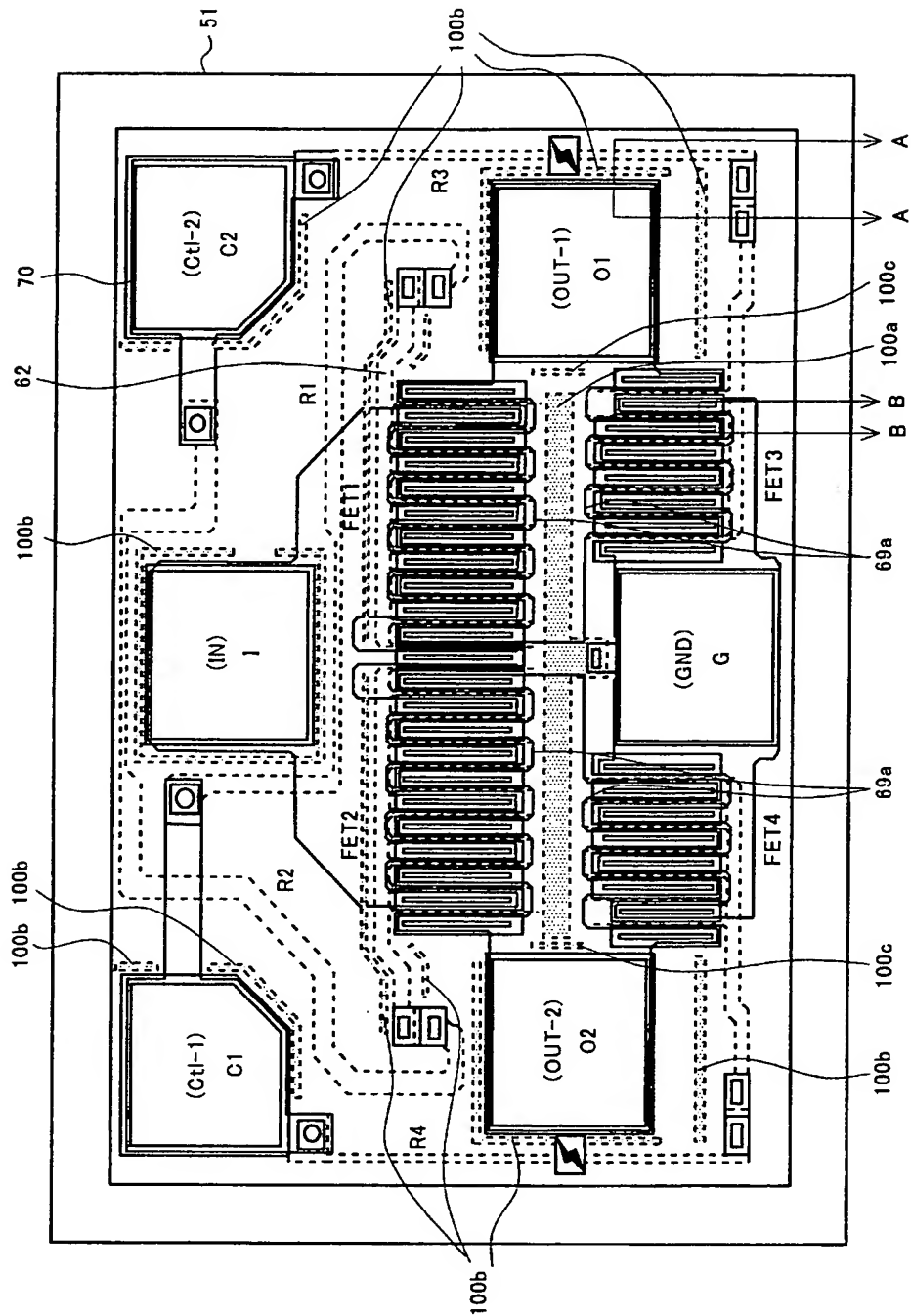
【図 2】



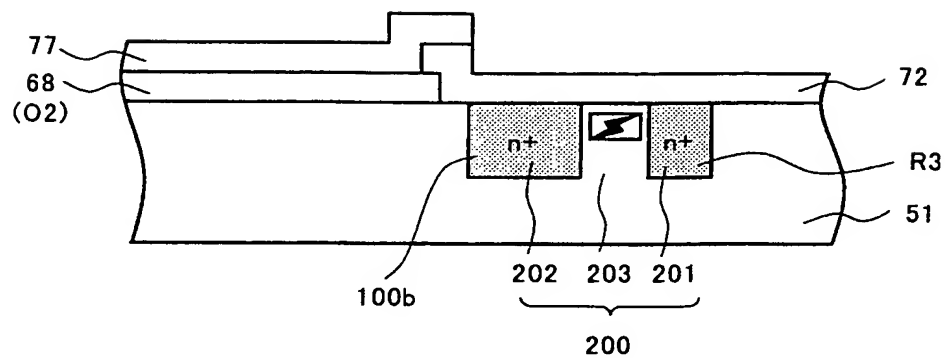
【図 3】



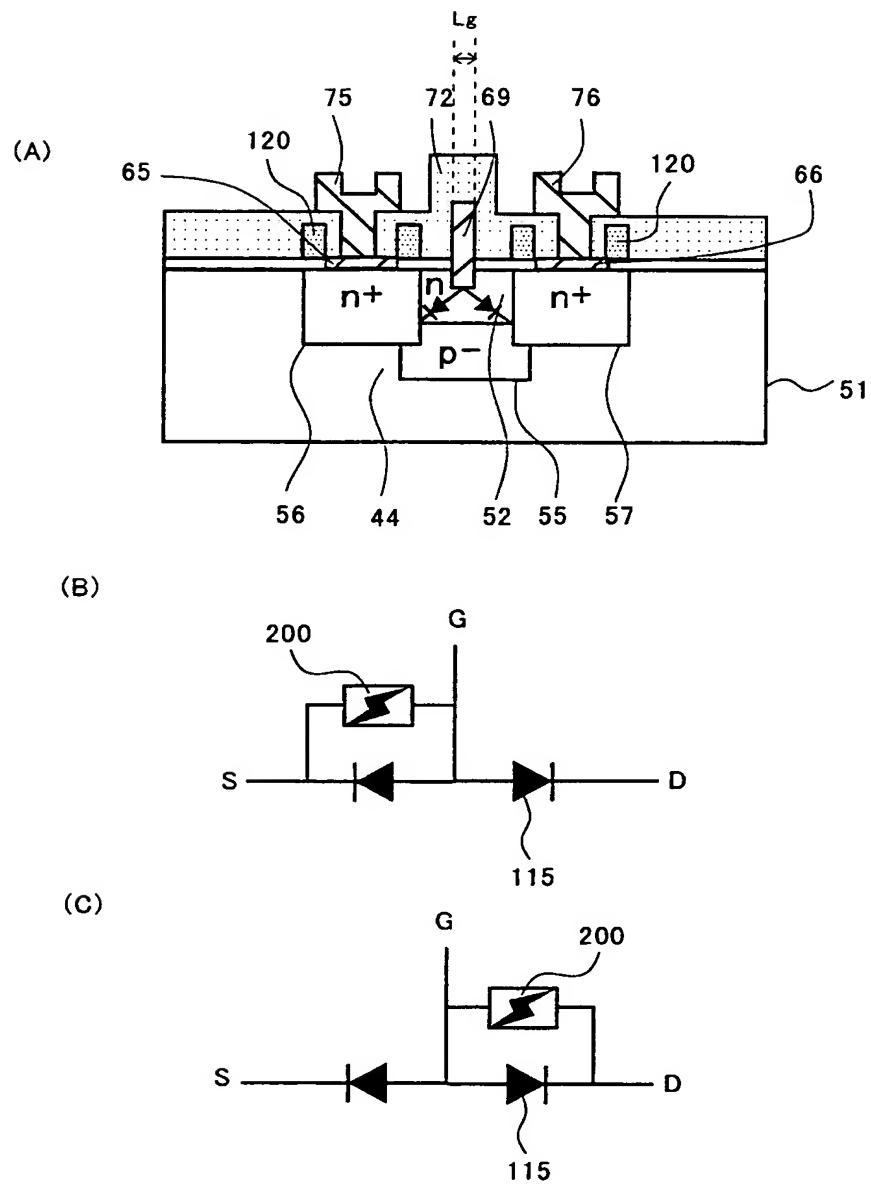
【図 4】



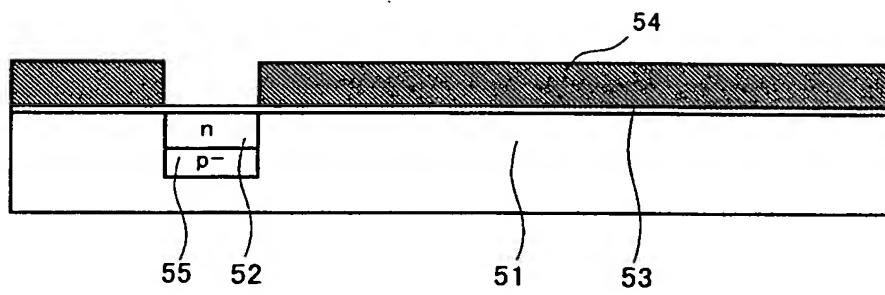
【図 5】



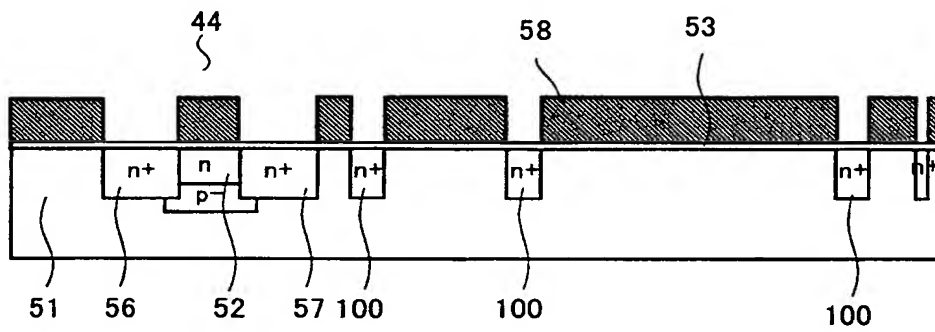
【図 6】



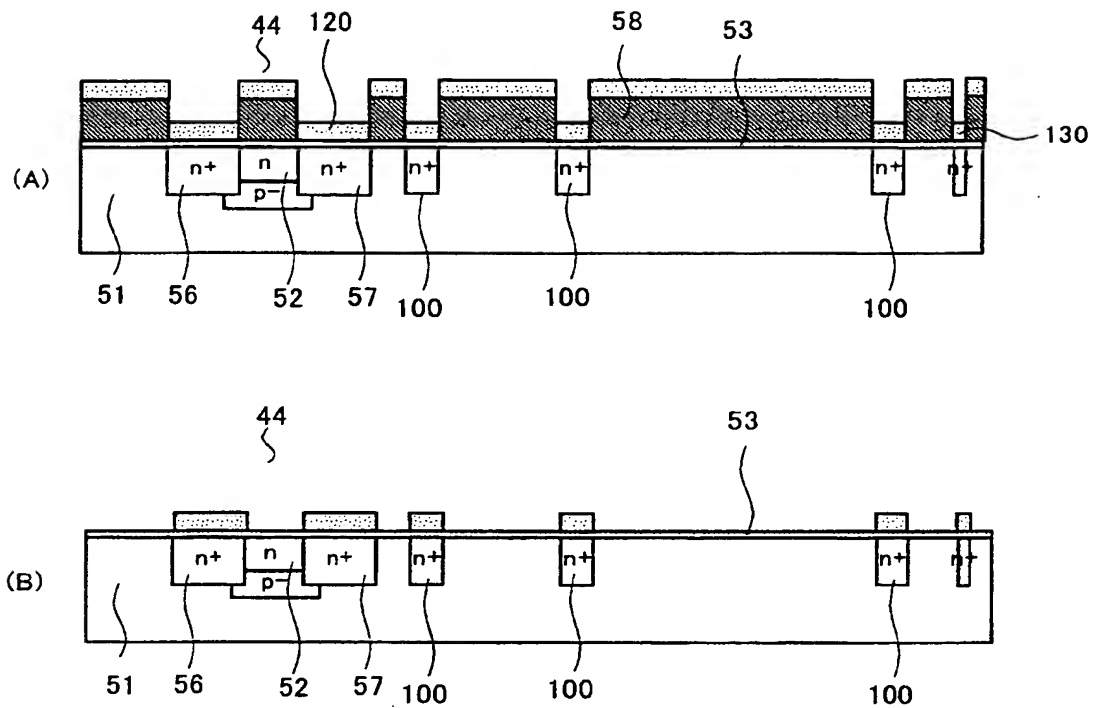
【図 7】



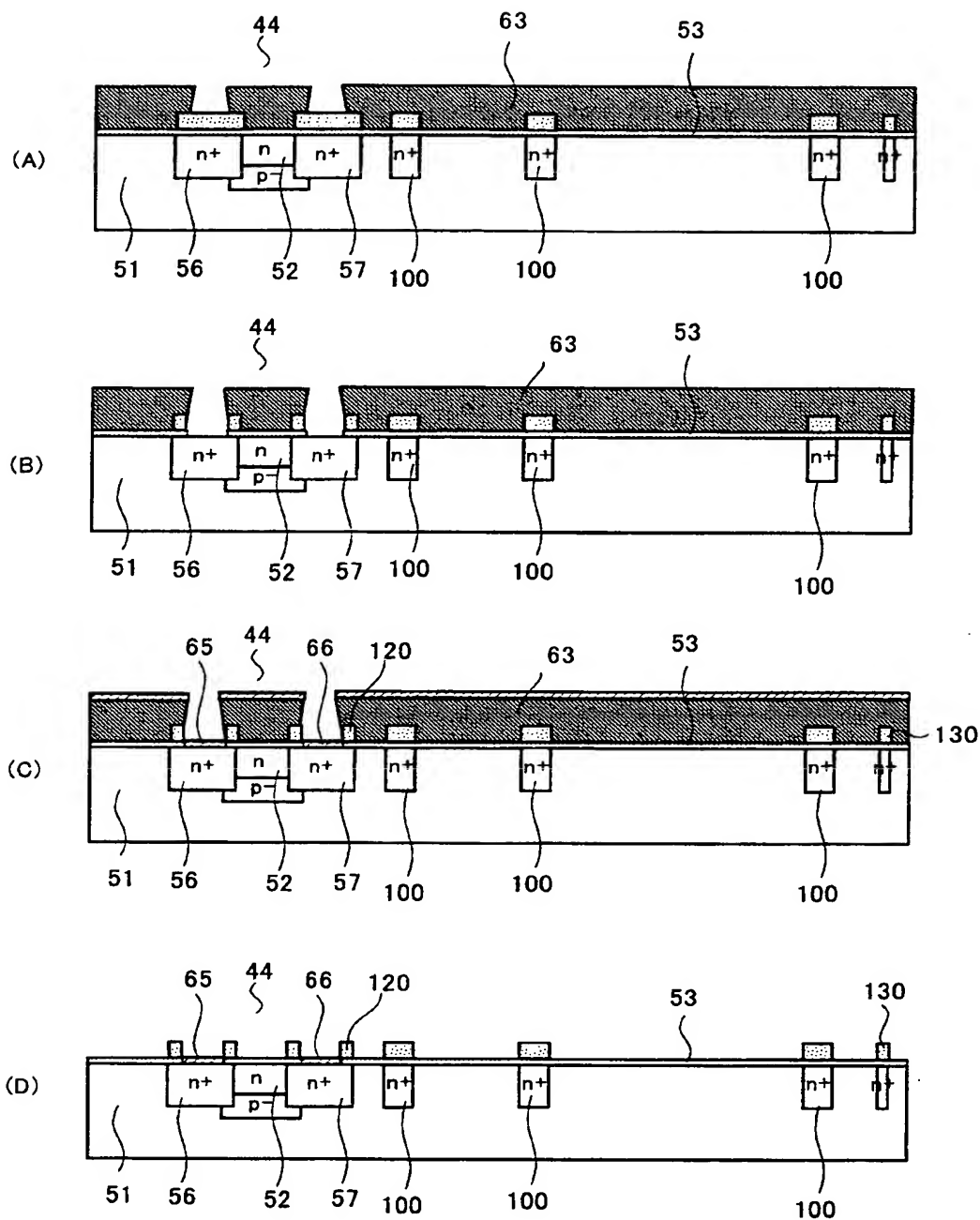
【図 8】



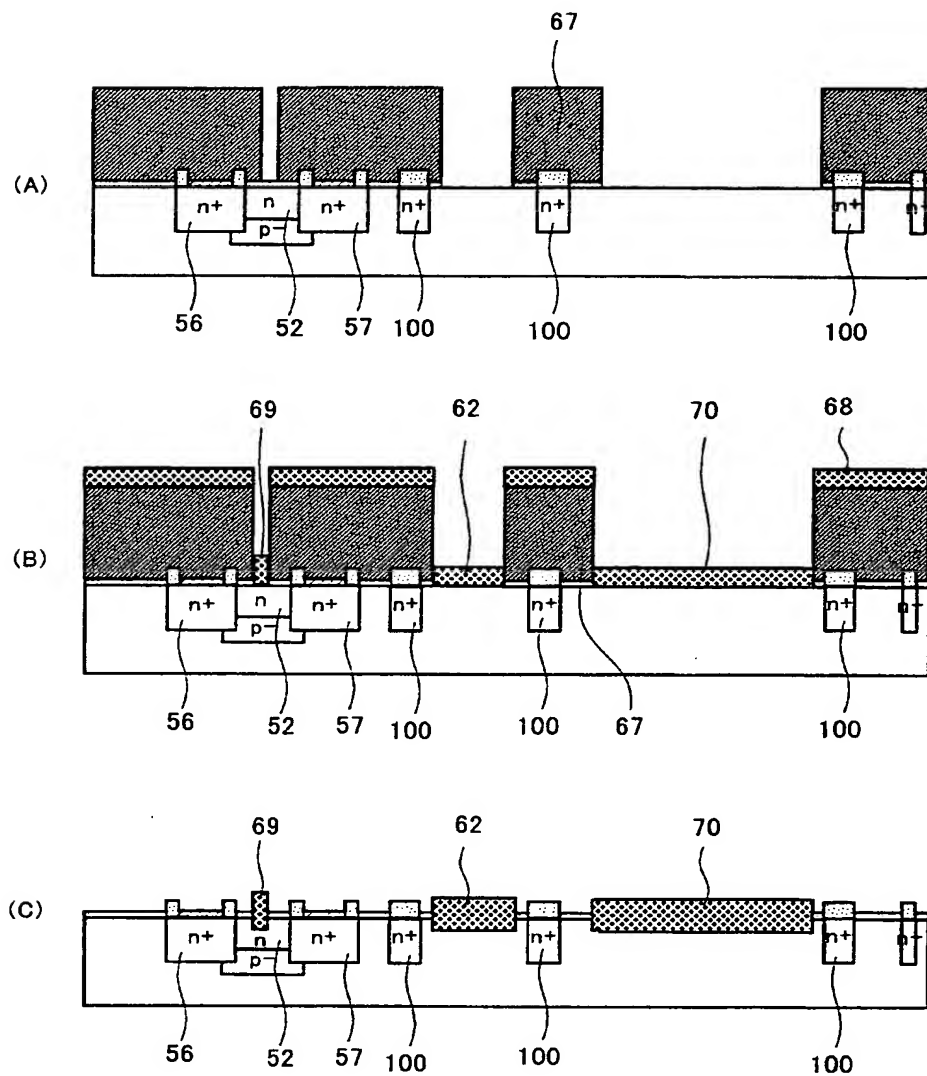
【図 9】



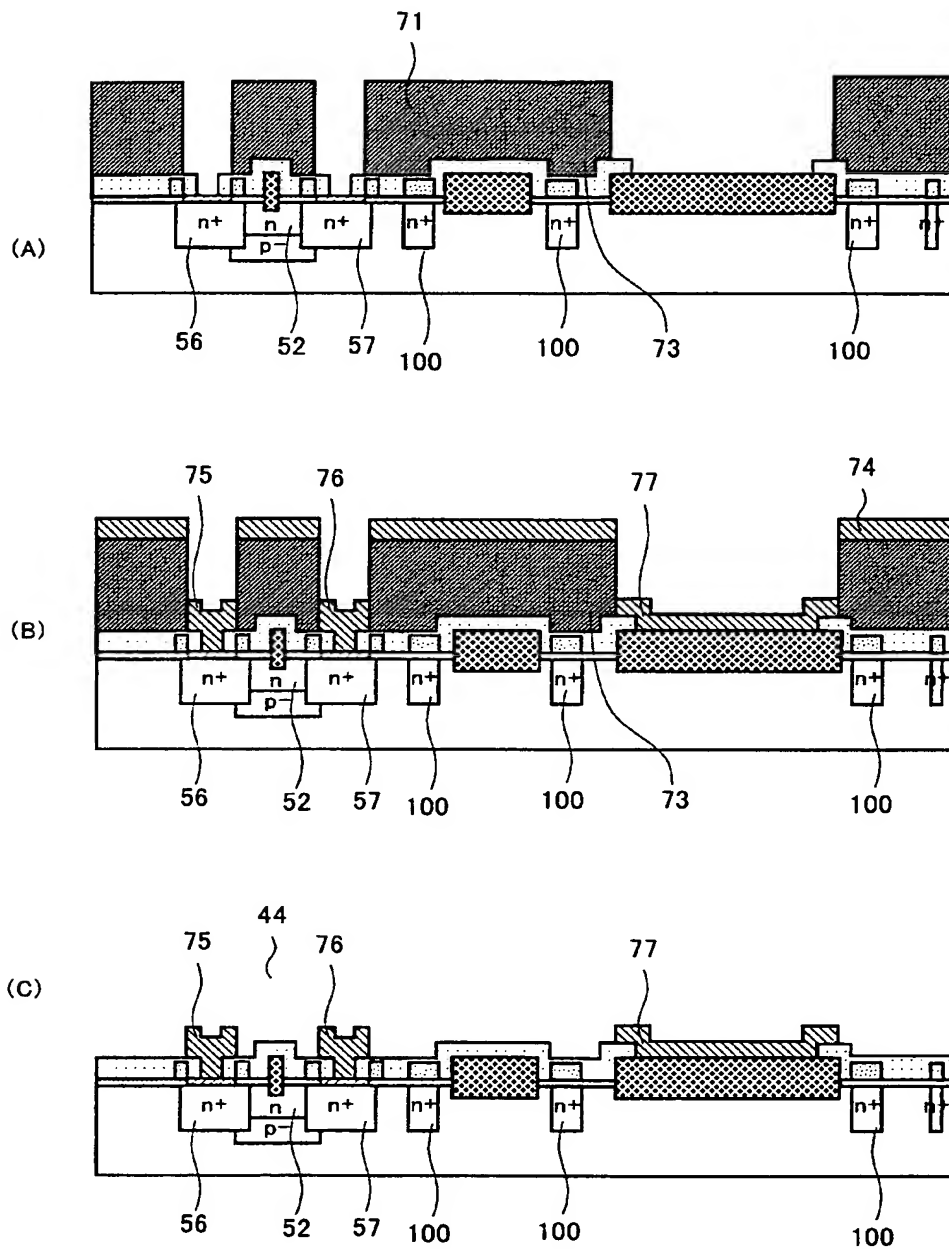
【図 10】



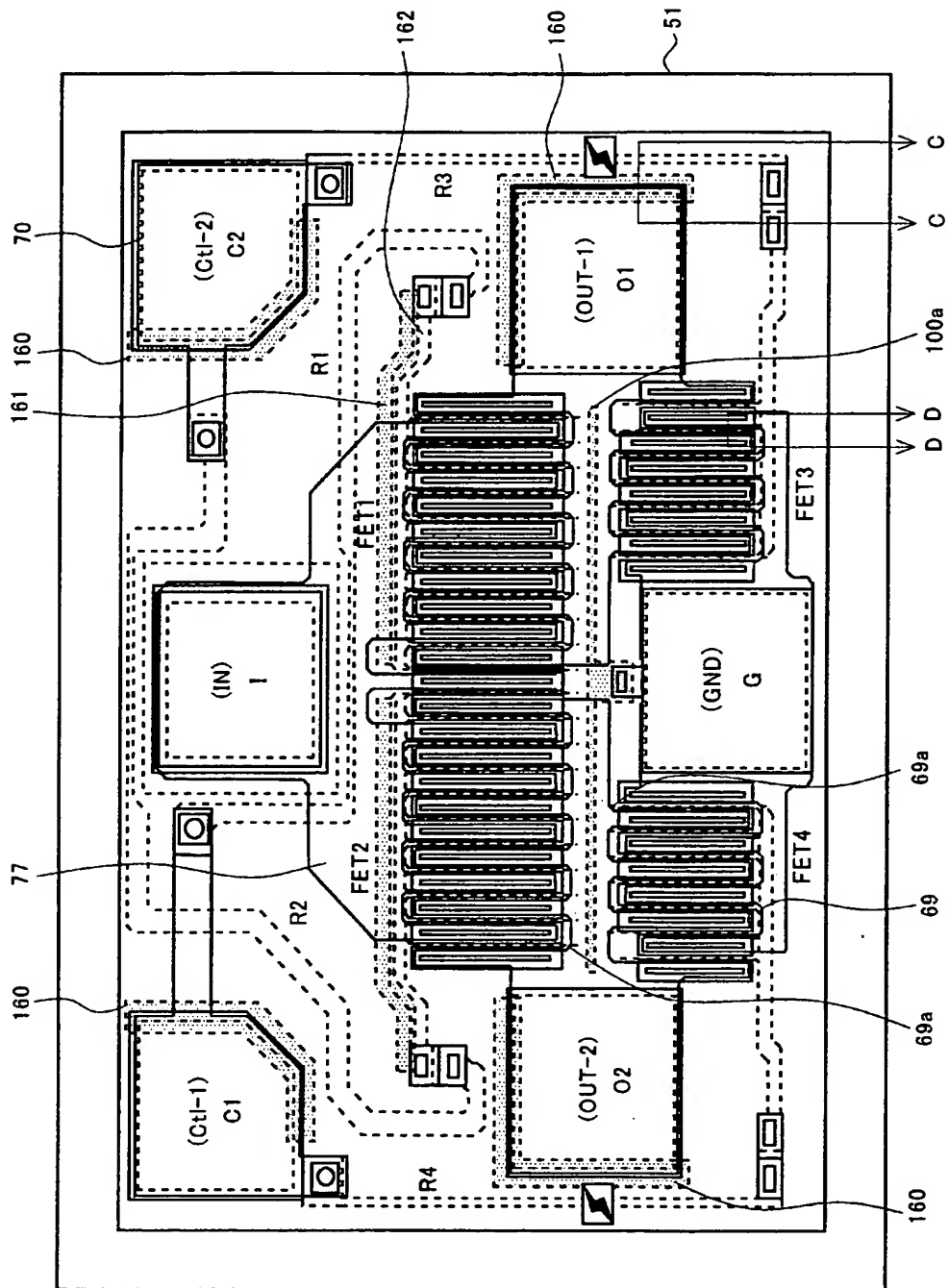
【図 11】



【図 12】

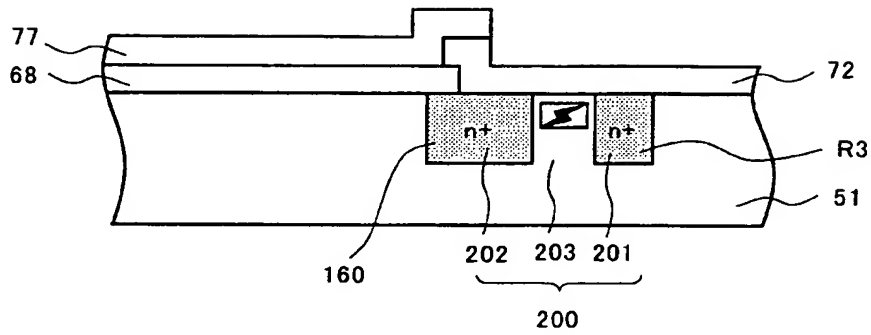


【図 13】

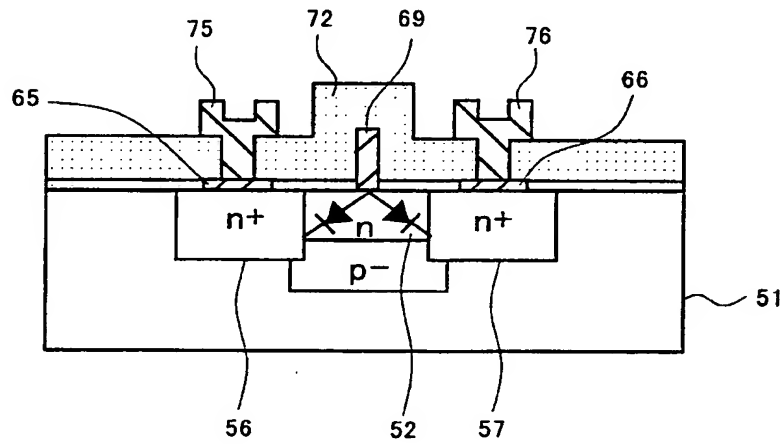


【図 14】

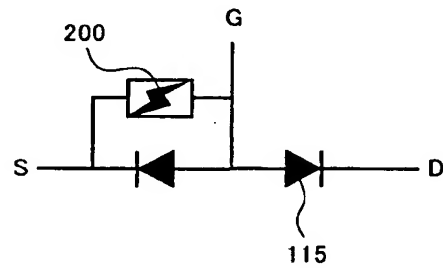
(A)



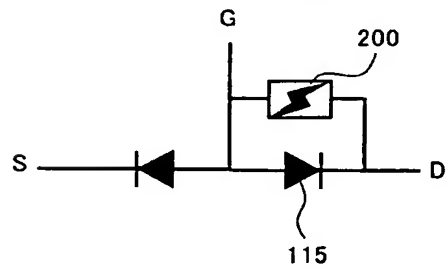
(B)



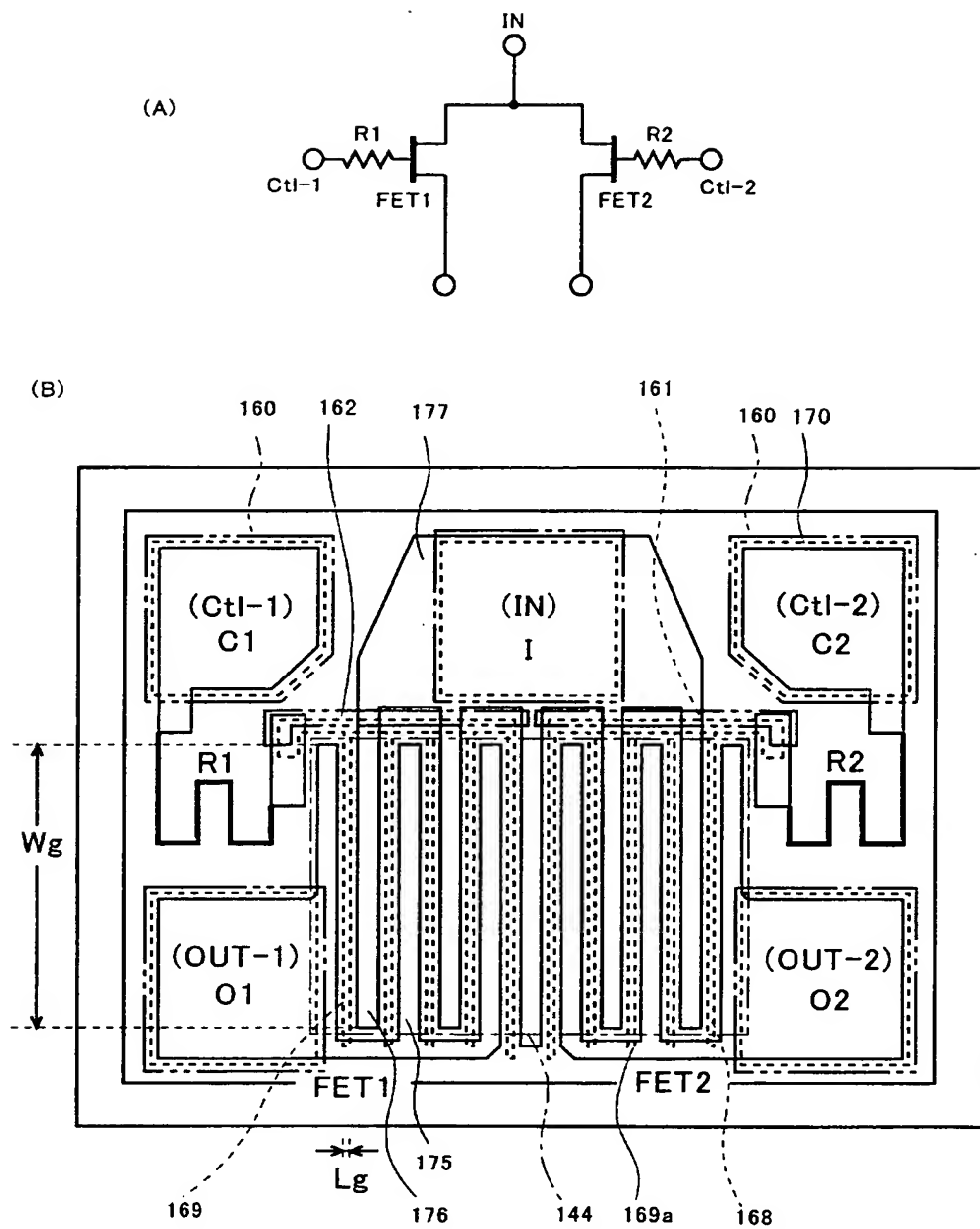
(C)



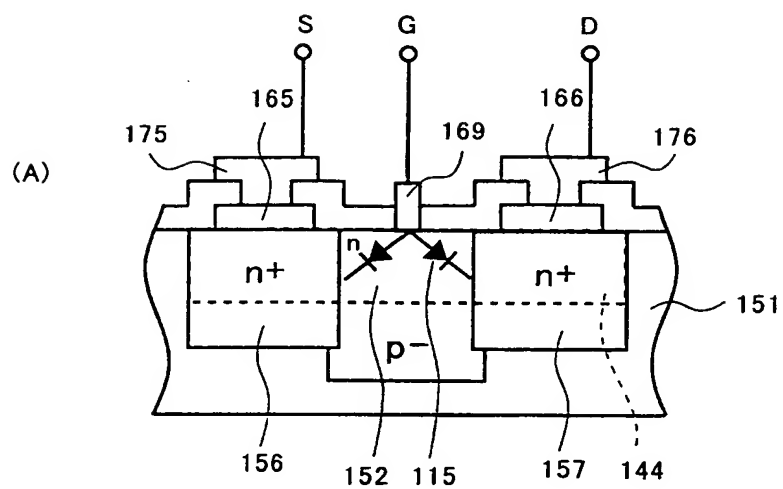
(D)



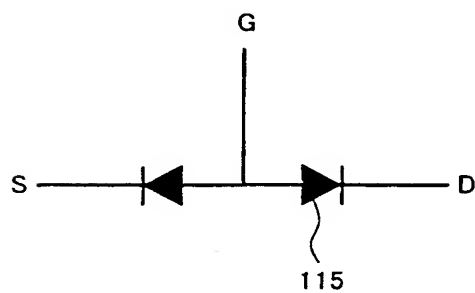
【図 15】



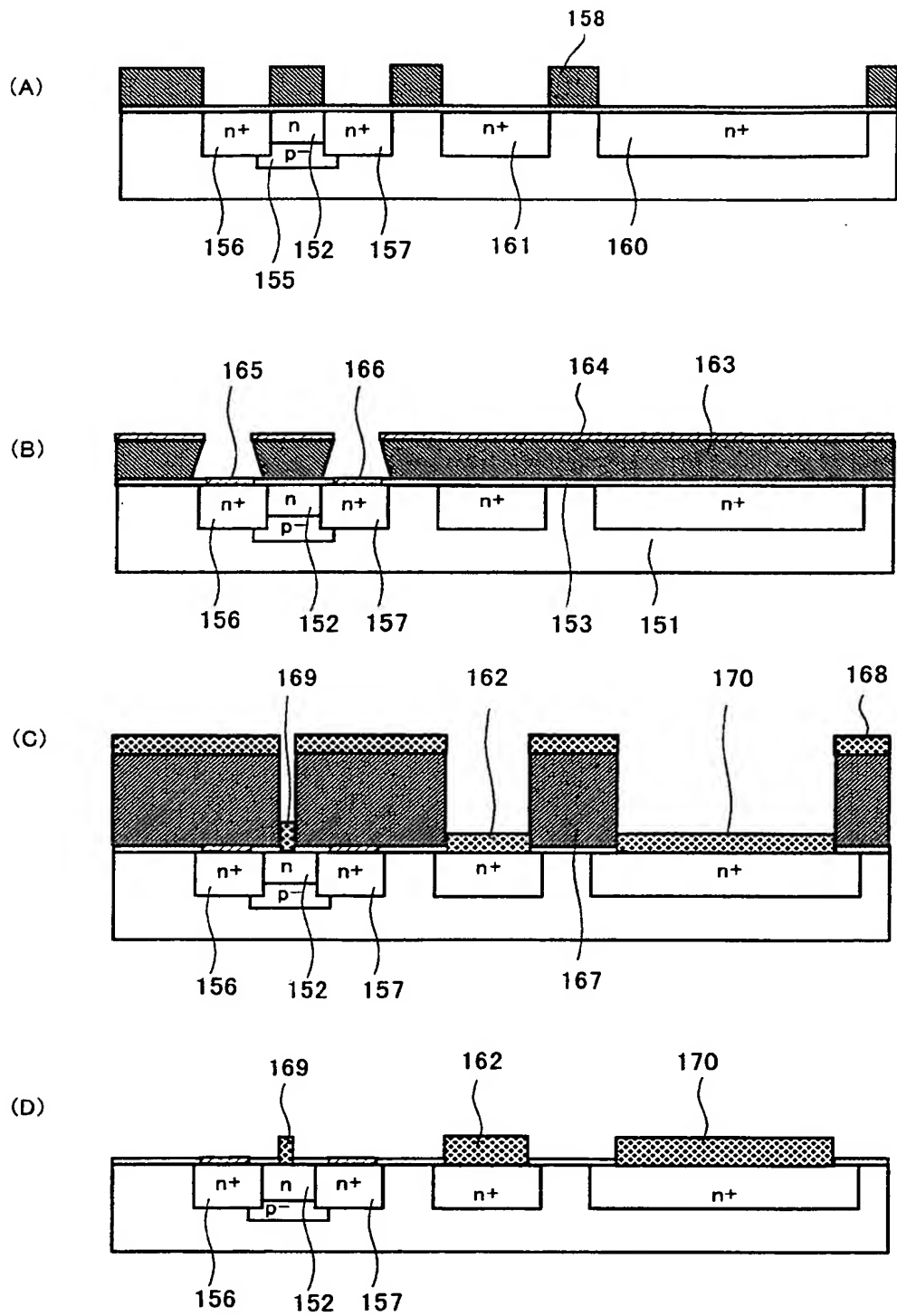
【図 16】



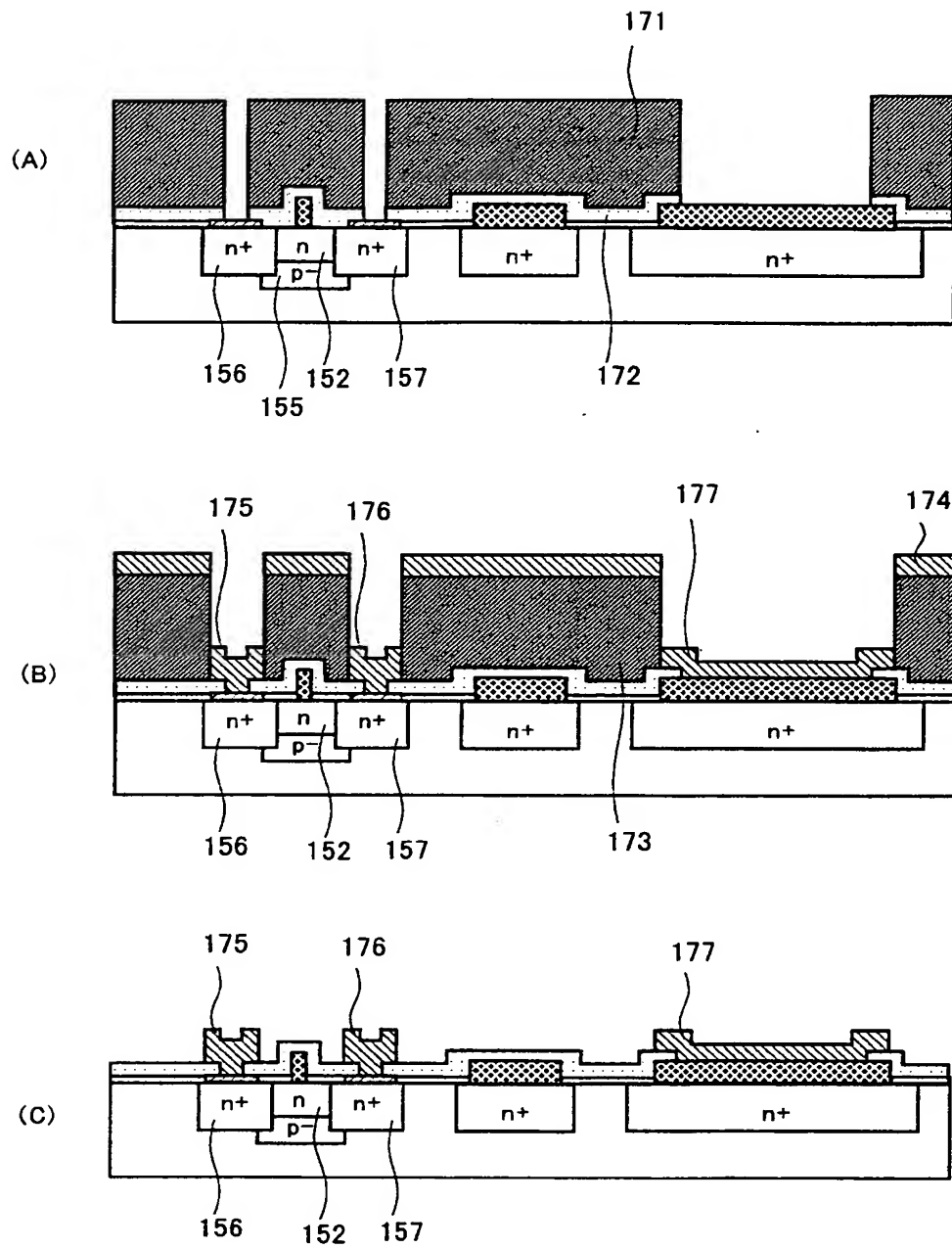
(B)



【図 17】



【図 18】



【書類名】 要約書

【要約】 5GHz帯ブロードバンド用のGaAsスイッチICは、2.4GHzに比べ2倍の周波数となるため、寄生容量がアイソレーションの悪化に大きく影響してくる。このためシャントFETを設けてアイソレーションを向上するための手段が必要不可欠である。しかしシャントFETは、ゲート幅が小さく、静電破壊電圧が低い問題があった。

【解決手段】 シャントFETの2端子間に第1n+型領域、絶縁領域、第2n+型領域からなる保護素子を並列に接続する。近接した第1、第2n+領域間で放電できるので、寄生容量を増やすことなくシャントFETの動作領域に至る静電エネルギーを減衰させることができる。

【選択図】 図2

特願 2 0 0 2 - 3 0 3 4 8 4

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 1 8 8 9]

1. 変更年月日

1 9 9 0 年 8 月 2 4 日

[変更理由]

新規登録

住 所

大阪府守口市京阪本通 2 丁目 1 8 番地

氏 名

三洋電機株式会社

2. 変更年月日

1 9 9 3 年 1 0 月 2 0 日

[変更理由]

住所変更

住 所

大阪府守口市京阪本通 2 丁目 5 番 5 号

氏 名

三洋電機株式会社